

## 目录

高速 PCB 设计指南之一  
高速 PCB 设计指南之二  
PCB Layout 指南(上)  
PCB Layout 指南(下)  
PCB 设计的一般原则  
PCB 设计基础知识  
PCB 设计基本概念  
PCB 设计注意事项  
PCB 设计几点体会  
PCB LAYOUT 技术大全  
PCB 和电子产品设计  
PCB 电路版图设计的常见问题  
PCB 设计中格点的设置  
新手设计 PCB 注意事项  
怎样做一块好的 PCB 板  
射频电路 PCB 设计  
设计技巧整理  
用 PROTEL99 制作印刷电路版的基本流程  
用 PROTEL99SE 布线的基本流程  
蛇形走线有什么作用  
封装小知识  
典型的焊盘直径和最大导线宽度的关系

在 PCB 设计中,布线是完成产品设计的重要步骤,可以说前面的准备工作都是为它而做的,在整个 PCB 中,以布线的设计过程限定最高,技巧最细、工作量最大。PCB 布线有单面布线、双面布线及多层布线。布线的方式也有两种:自动布线及交互式布线,在自动布线之前,可以用交互式预先对要求比较严格的线进行布线,输入端与输出端的边线应避免相邻平行,以免产生反射干扰。必要时应加地线隔离,两相邻层的布线要互相垂直,平行容易产生寄生耦合。

自动布线的布通率,依赖于良好的布局,布线规则可以预先设定,包括走线的弯曲次数、导通孔的数目、步进的数目等。一般先进行探索式布经线,快速地把短线连通,然后进行迷宫式布线,先把要布的连线进行全局的布线路径优化,它可以根据需要断开已布的线。并试着重新再布线,以改进总体效果。

对目前高密度的 PCB 设计已感觉到贯通孔不太适应了,它浪费了许多宝贵的布线通道,为解决这一矛盾,出现了盲孔和埋孔技术,它不仅完成了导通孔的作用,还省出许多布线通道使布线过程完成得更加方便,更加流畅,更为完善,PCB 板的设计过程是一个复杂而又简单的过程,要想很好地掌握它,还需广大电子工程设计人员去自己体会,才能得到其中的真谛。

## 1 电源、地线的处理

既使在整个 PCB 板中的布线完成得都很好,但由于电源、地线的考虑不周到而引起的干扰,会使产品的性能下降,有时甚至影响到产品的成功率。所以对电、地线的布线要认真对待,把电、地线所产生的噪音干扰降到最低限度,以保证产品的质量。

对每个从事电子产品设计的工程人员来说都明白地线与电源线之间噪音所产生的原因,现只对降低式抑制噪音作以表述:

(1)、众所周知的是在电源、地线之间加上去耦电容。

(2)、尽量加宽电源、地线宽度,最好是地线比电源线宽,它们的关系是:地线>电源线>信号线,通常信号线宽为:0.2~0.3mm,最细宽度可达 0.05~0.07mm,电源线为 1.2~2.5 mm

对数字电路的 PCB 可用宽的地导线组成一个回路,即构成一个地网来使用(模拟电路的地不能这样使用)

(3)、用大面积铜层作地线用,在印制板上把没被用上的地方都与地相连接作为地线用。或是做成多层板,电源,地线各占用一层。

## 2 数字电路与模拟电路的共地处理

现在有许多 PCB 不再是单一功能电路(数字或模拟电路),而是由数字电路和模拟电路混合构成的。因此在布线时就需要考虑它们之间互相干扰问题,特别是地线上的噪音干扰。

数字电路的频率高,模拟电路的敏感度强,对信号线来说,高频的信号线尽可能远离敏感的模拟电路器件,对地线来说,整人 PCB 对外界只有一个结点,所以必须在 PCB 内部进行处理数、模共地的问题,而在板内部数字地和模拟地实际上是分开的它们之间互不相连,只是在 PCB 与外界连接的接口处(如插头等)。数字地与模拟地有一点短接,请注意,只有一个连接点。也有在 PCB 上不共地的,这由系统设计来决定。

## 3 信号线布在电(地)层上

在多层印制板布线时,由于在信号线层没有布完的线剩下已经不多,再多加层数就会造成浪费也会给生产增加一定的工作量,成本也相应增加了,为解决这个矛盾,可以考虑在电(地)层上进行布线。首先应考虑用电源

层，其次才是地层。因为最好是保留地层的完整性。

#### 4 大面积导体中连接腿的处理

在大面积的接地（电）中，常用元器件的腿与其连接，对连接腿的处理需要进行综合的考虑，就电气性能而言，元件腿的焊盘与铜面满接为好，但对元件的焊接装配就存在一些不良隐患如：①焊接需要大功率加热器。②容易造成虚焊点。所以兼顾电气性能与工艺需要，做成十字花焊盘，称之为热隔离（heat shield）俗称热焊盘（Thermal），这样，可使在焊接时因截面过分散热而产生虚焊点的可能性大大减少。多层板的接电（地）层腿的处理相同。

#### 5 布线中网络系统的作用

在许多 CAD 系统中，布线是依据网络系统决定的。网格过密，通路虽然有所增加，但步进太小，图场的数据量过大，这必然对设备的存贮空间有更高的要求，同时也对象计算机类电子产品的运算速度有极大的影响。而有些通路是无效的，如被元件腿的焊盘占用的或被安装孔、定位孔所占用的等。网格过疏，通路太少对布通率的影响极大。所以要有个疏密合理的网格系统来支持布线的进行。

标准元器件两腿之间的距离为 0.1 英寸(2.54mm),所以网格系统的基础一般就定为 0.1 英寸(2.54 mm)或小于 0.1 英寸的整倍数，如：0.05 英寸、0.025 英寸、0.02 英寸等。

#### 6 设计规则检查（DRC）

布线设计完成后，需认真检查布线设计是否符合设计者所制定的规则，同时也需确认所制定的规则是否符合印制板生产工艺的需求，一般检查有如下几个方面：

- (1)、线与线，线与元件焊盘，线与贯通孔，元件焊盘与贯通孔，贯通孔与贯通孔之间的距离是否合理，是否满足生产要求。
- (2)、电源线和地线的宽度是否合适，电源与地线之间是否紧耦合（低的波阻抗）？在 PCB 中是否还有能让地线加宽的地方。
- (3)、对于关键的信号线是否采取了最佳措施，如长度最短，加保护线，输入线及输出线被明显地分开。
- (4)、模拟电路和数字电路部分，是否有各自独立的地线。
- (5) 后加在 PCB 中的图形（如图标、注标）是否会造成信号短路。
- (6) 对一些不理想的线形进行修改。
- (7)、在 PCB 上是否加有工艺线？阻焊是否符合生产工艺的要求，阻焊尺寸是否合适，字符标志是否压在器件焊盘上，以免影响电装质量。
- (8)、多层板中的电源地层的外框边缘是否缩小，如电源地层的铜箔露出板外容易造成短路。

\*\*\*\*\*

## 第二篇 PCB 布局

在设计中，布局是一个重要的环节。布局结果的好坏将直接影响布线的效果，因此可以这样认为，合理的布局是 PCB 设计成功的第一步。

布局的方式分两种，一种是交互式布局，另一种是自动布局，一般是在自动布局的基础上用交互式布局进行调整，在布局时还可根据走线的情况对门电路进行再分配，将两个门电路进行交换，使其成为便于布线的最佳布

局。在布局完成后，还可对设计文件及有关信息进行返回标注于原理图，使得 PCB 板中的有关信息与原理图相一致，以便在今后的建档、更改设计能同步起来，同时对模拟的有关信息进行更新，使得能对电路的电气性能及功能进行板级验证。

#### --考虑整体美观

一个产品的成功与否，一是要注重内在质量，二是兼顾整体的美观，两者都较完美才能认为该产品是成功的。

在一个 PCB 板上，元件的布局要求要均衡，疏密有序，不能头重脚轻或一头沉。

#### --布局的检查

印制板尺寸是否与加工图纸尺寸相符？能否符合 PCB 制造工艺要求？有无定位标记？

元件在二维、三维空间上是否有冲突？

元件布局是否疏密有序，排列整齐？是否全部布完？

需经常更换的元件能否方便的更换？插件板插入设备是否方便？

热敏元件与发热元件之间是否有适当的距离？

调整可调元件是否方便？

在需要散热的地方，装了散热器没有？空气流是否通畅？

信号流程是否顺畅且互连最短？

插头、插座等与机械设计是否矛盾？

线路的干扰问题是否有所考虑？

\*\*\*\*\*

### 第三篇 高速 PCB 设计

#### （一）、电子系统设计所面临的挑战

随着系统设计复杂性和集成度的大规模提高，电子系统设计师们正在从事 100MHZ 以上的电路设计，总线的工作频率也已经达到或者超过 50MHZ，有的甚至超过 100MHZ。目前约 50% 的设计的时钟频率超过 50MHZ，将近 20% 的设计主频超过 120MHz。

当系统工作在 50MHz 时，将产生传输线效应和信号的完整性问题；而当系统时钟达到 120MHz 时，除非使用高速电路设计知识，否则基于传统方法设计的 PCB 将无法工作。因此，高速电路设计技术已经成为电子系统设计师必须采取的设计手段。只有通过使用高速电路设计师的设计技术，才能实现设计过程的可控性。

#### （二）、什么是高速电路

通常认为如果数字逻辑电路的频率达到或者超过 45MHZ~50MHZ，而且工作在这个频率之上的电路已经占到了整个电子系统一定的份量（比如说 1 / 3），就称为高速电路。

实际上，信号边沿的谐波频率比信号本身的频率高，是信号快速变化的上升沿与下降沿（或称信号的跳变）引发了信号传输的非预期结果。因此，通常约定如果线传播延时大于 1/2 数字信号驱动端的上升时间，则认为此类信号是高速信号并产生传输线效应。

信号的传递发生在信号状态改变的瞬间，如上升或下降时间。信号从驱动端到接收端经过一段固定的时间，如果传输时间小于  $1/2$  的上升或下降时间，那么来自接收端的反射信号将在信号改变状态之前到达驱动端。反之，反射信号将在信号改变状态之后到达驱动端。如果反射信号很强，叠加的波形就有可能改变逻辑状态。

### (三)、高速信号的确定

上面我们定义了传输线效应发生的前提条件，但是如何得知线延时是否大于  $1/2$  驱动端的信号上升时间？一般地，信号上升时间的典型值可通过器件手册给出，而信号的传播时间在 PCB 设计中由实际布线长度决定。下图为信号上升时间和允许的布线长度(延时)的对应关系。

PCB 板上每单位英寸的延时为  $0.167\text{ns}$ 。但是，如果过孔多，器件管脚多，网线上设置的约束多，延时将增大。通常高速逻辑器件的信号上升时间大约为  $0.2\text{ns}$ 。如果板上有 GaAs 芯片，则最大布线长度为  $7.62\text{mm}$ 。

设  $T_r$  为信号上升时间， $T_{pd}$  为信号线传播延时。如果  $T_r \geq 4T_{pd}$ ，信号落在安全区域。如果  $2T_{pd} \geq T_r \geq 4T_{pd}$ ，信号落在不确定区域。如果  $T_r \leq 2T_{pd}$ ，信号落在问题区域。对于落在不确定区域及问题区域的信号，应该使用高速布线方法。

### (四)、什么是传输线

PCB 板上的走线可等效为下图所示的串联和并联的电容、电阻和电感结构。串联电阻的典型值  $0.25\text{-}0.55\text{ ohms/foot}$ ，因为绝缘层的缘故，并联电阻阻值通常很高。将寄生电阻、电容和电感加到实际的 PCB 连线中之后，连线上的最终阻抗称为特征阻抗  $Z_0$ 。线径越宽，距电源/地越近，或隔离层的介电常数越高，特征阻抗就越小。如果传输线和接收端的阻抗不匹配，那么输出的电流信号和信号最终的稳定状态将不同，这就引起信号在接收端产生反射，这个反射信号将传回信号发射端并再次反射回来。随着能量的减弱反射信号的幅度将减小，直到信号的电压和电流达到稳定。这种效应被称为振荡，信号的振荡在信号的上升沿和下降沿经常可以看到。

### (五)、传输线效应

基于上述定义的传输线模型，归纳起来，传输线会对整个电路设计带来以下效应。

- 反射信号 Reflected signals
- 延时和时序错误 Delay & Timing errors
- 多次跨越逻辑电平门限错误 False Switching
- 过冲与下冲 Overshoot/Undershoot
- 串扰 Induced Noise (or crosstalk)
- 电磁辐射 EMI radiation

#### 5.1 反射信号

如果一根走线没有被正确终结(终端匹配)，那么来自于驱动端的信号脉冲在接收端被反射，从而引发不预期效应，使信号轮廓失真。当失真变形非常显著时可导致多种错误，引起设计失败。同时，失真变形的信号对噪声的敏感性增加了，也会引起设计失败。如果上述情况没有被足够考虑，EMI 将显著增加，这就不单单影响自身设计结果，还会造成整个系统的失败。

反射信号产生的主要原因：过长的走线；未被匹配终结的传输线，过量电容或电感以及阻抗失配。

#### 5.2 延时和时序错误

信号延时和时序错误表现为：信号在逻辑电平的高与低门限之间变化时保持一段时间信号不跳变。过多的信号延时可能导致时序错误和器件功能的混乱。

通常在有多个接收端时会出现问题。电路设计师必须确定最坏情况下的时间延时以确保设计的正确性。信号延时产生的原因：驱动过载，走线过长。

### 5.3 多次跨越逻辑电平门限错误

信号在跳变的过程中可能多次跨越逻辑电平门限从而导致这一类型的错误。多次跨越逻辑电平门限错误是信号振荡的一种特殊的形式，即信号的振荡发生在逻辑电平门限附近，多次跨越逻辑电平门限会导致逻辑功能紊乱。反射信号产生的原因：过长的走线，未被终结的传输线，过量电容或电感以及阻抗失配。

### 5.4 过冲与下冲

过冲与下冲来源于走线过长或者信号变化太快两方面的原因。虽然大多数元件接收端有输入保护二极管保护，但有时这些过冲电平会远远超过元件电源电压范围，损坏元器件。

### 5.5 串扰

串扰表现为在一根信号线上有信号通过时，在 PCB 板上与之相邻的信号线上就会感应出相关的信号，我们称之为串扰。

信号线距离地线越近，线间距越大，产生的串扰信号越小。异步信号和时钟信号更容易产生串扰。因此解串扰的方法是移开发生串扰的信号或屏蔽被严重干扰的信号。

### 5.6 电磁辐射

EMI(Electro-Magnetic Interference)即电磁干扰，产生的问题包含过量的电磁辐射及对电磁辐射的敏感性两方面。EMI 表现为当数字系统加电运行时，会对周围环境辐射电磁波，从而干扰周围环境中电子设备的正常工作。它产生的主要原因是电路工作频率太高以及布局布线不合理。目前已有进行 EMI 仿真的软件工具，但 EMI 仿真器都很昂贵，仿真参数和边界条件设置又很困难，这将直接影响仿真结果的准确性和实用性。最通常的做法是将控制 EMI 的各项设计规则应用在设计的每一环节，实现在设计各环节上的规则驱动和控制。

#### (六)、避免传输线效应的方法

针对上述传输线问题所引入的影响，我们从以下几方面谈谈控制这些影响的方法。

#### 6.1 严格控制关键网线的走线长度

如果设计中有高速跳变的边沿，就必须考虑到在 PCB 板上存在传输线效应的问题。现在普遍使用的很高时钟频率的快速集成电路芯片更是存在这样的问题。解决这个问题有一些基本原则：如果采用 CMOS 或 TTL 电路进行设计，工作频率小于 10MHz，布线长度应不大于 7 英寸。工作频率在 50MHz 布线长度应不大于 1.5 英寸。如果工作频率达到或超过 75MHz 布线长度应在 1 英寸。对于 GaAs 芯片最大的布线长度应为 0.3 英寸。如果超过这个标准，就存在传输线的问题。

#### 6.2 合理规划走线的拓扑结构

解决传输线效应的另一个方法是选择正确的布线路径和终端拓扑结构。走线的拓扑结构是指一根网线的布线顺序及布线结构。当使用高速逻辑器件时，除非走线分支长度保持很短，否则边沿快速变化的信号将被信号主干走线上的分支走线所扭曲。通常情形下，PCB 走线采用两种基本拓扑结构，即菊花链(Daisy Chain)布线和星形(Star)分布。

对于菊花链布线，布线从驱动端开始，依次到达各接收端。如果使用串联电阻来改变信号特性，串联电阻的位置应该紧靠驱动端。在控制走线的高次谐波干扰方面，菊花链走线效果最好。但这种走线方式布通率最低，不容易 100%布通。实际设计中，我们是使菊花链布线中分支长度尽可能短，安全的长度值应该是： $Stub\ Delay \leq Trt * 0.1$ 。

例如，高速 TTL 电路中的分支端长度应小于 1.5 英寸。这种拓扑结构占用的布线空间较小并可用单一电阻匹配终结。但是这种走线结构使得在不同的信号接收端信号的接收是不同步的。

星形拓扑结构可以有效的避免时钟信号的不同步问题，但在密度很高的 PCB 板上手工完成布线十分困难。采用自动布线器是完成星型布线的最好的方法。每条分支上都需要终端电阻。终端电阻的阻值应和连线的特征阻抗相匹配。这可通过手工计算，也可通过 CAD 工具计算出特征阻抗值和终端匹配电阻值。

在上面的两个例子中使用了简单的终端电阻，实际中可选择使用更复杂的匹配终端。第一种选择是 RC 匹配终端。RC 匹配终端可以减少功率消耗，但只能使用于信号工作比较稳定的情况。这种方式最适合于对时钟线信号进行匹配处理。其缺点是 RC 匹配终端中的电容可能影响信号的形状和传播速度。

串联电阻匹配终端不会产生额外的功率消耗，但会减慢信号的传输。这种方式用于时间延迟影响不大的总线驱动电路。串联电阻匹配终端的优势还在于可以减少板上器件的使用数量和连线密度。

最后一种方式为分离匹配终端，这种方式匹配元件需要放置在接收端附近。其优点是不会拉低信号，并且可以很好的避免噪声。典型的用于 TTL 输入信号(ACT, HCT, FAST)。

此外，对于终端匹配电阻的封装型式和安装型式也必须考虑。通常 SMD 表面贴装电阻比通孔元件具有较低的电感，所以 SMD 封装元件成为首选。如果选择普通直插电阻也有两种安装方式可选：垂直方式和水平方式。

垂直安装方式中电阻的一条安装管脚很短，可以减少电阻和电路板间的热阻，使电阻的热量更加容易散发到空气中。但较长的垂直安装会增加电阻的电感。水平安装方式因安装较低有更低电感。但过热的电阻会出现漂移，在最坏的情况下电阻成为开路，造成 PCB 走线终结匹配失效，成为潜在的失败因素。

### 6.3 抑止电磁干扰的方法

很好地解决信号完整性问题将改善 PCB 板的电磁兼容性(EMC)。其中非常重要的一点是保证 PCB 板有很好的接地。对复杂的设计采用一个信号层配一个地线层是十分有效的方法。此外，使电路板的最外层信号的密度最小也是减少电磁辐射的好方法，这种方法可采用"表面积层"技术"Build-up"设计制做 PCB 来实现。表面积层通过在普通工艺 PCB 上增加薄绝缘层和用于贯穿这些层的微孔的组合来实现，电阻和电容可埋在表层下，单位面积上的走线密度会增加近一倍，因而可降低 PCB 的体积。PCB 面积的缩小对走线的拓扑结构有巨大的影响，这意味着缩小的电流回路，缩小的分支走线长度，而电磁辐射近似正比于电流回路的面积；同时小体积特征意味着高密度引脚封装器件可以被使用，这又使得连线长度下降，从而电流回路减小，提高电磁兼容特性。

### 6.4 其它可采用技术

为减小集成电路芯片电源上的电压瞬态过冲，应该为集成电路芯片添加去耦电容。这可以有效去除电源上的毛刺的影响并减少在印制板上的电源环路的辐射。

当去耦电容直接连接在集成电路的电源管腿上而不是连接在电源层上时，其平滑毛刺的效果最好。这就是为什么有一些器件插座上带有去耦电容，而有的器件要求去耦电容距器件的距离要足够的小。

任何高速和高功耗的器件应尽量放置在一起以减少电源电压瞬时过冲。

如果没有电源层，那么长的电源连线会在信号和回路间形成环路，成为辐射源和易感应电路。

走线构成一个不穿过同一网线或其它走线的环路的情况称为开环。如果环路穿过同一网线其它走线则构成闭环。两种情况都会形成天线效应(线天线和环形天线)。天线对外产生 EMI 辐射，同时自身也是敏感电路。闭环是一个必须考虑的问题，因为它产生的辐射与闭环面积近似成正比。

## 结束语

高速电路设计是一个非常复杂的设计过程，ZUKEN 公司的高速电路布线算法(Route Editor)和 EMC/EMI 分析软件(INCASES,Hot-Stage)应用于分析和发现问题。本文所阐述的方法就是专门针对解决这些高速电路设计问题的。此外，在进行高速电路设计时有多个因素需要加以考虑，这些因素有时互相对立。如高速器件布局时位置靠近，虽可以减少延时，但可能产生串扰和显著的热效应。因此在设计中，需权衡各因素，做出全面的折衷考虑；既满足设计要求，又降低设计复杂度。高速 PCB 设计手段的采用构成了设计过程的可控性，只有可控的，才是可靠的，也才能是成功的！

## 高速 PCB 设计指南之二

### 第一篇 高密度(HD)电路的设计

本文介绍，许多人把芯片规模的 BGA 封装看作是由便携式电子产品所需的空间限制的一个可行的解决方案，它同时满足这些产品更高功能与性能的要求。为便携式产品的高密度电路设计应该为装配工艺着想。

当为今天价值推动的市场开发电子产品时，性能与可靠性是最优先考虑的。为了在这个市场上竞争，开发者还必须注重装配的效率，因为这样可以控制制造成本。电子产品的技术进步和不断增长的复杂性正产生对更高密度电路制造方法的需求。当设计要求表面贴装、密间距和向量封装的集成电路 IC 时，可能要求具有较细的线宽和较密间隔的更高密度电路板。可是，展望未来，一些已经在供应微型旁路孔、序列组装电路板的公司正大量投资来扩大能力。这些公司认识到便携式电子产品对更小封装的目前趋势。单是通信与个人计算产品工业就足以领导全球的市场。

高密度电子产品的开发者越来越受到几个因素的挑战：物理 复杂元件上更密的引脚间隔、财力 贴装必须很精密、和环境 许多塑料封装吸潮，造成装配处理期间的破裂。物理因素也包括安装工艺的复杂性与最终产品的可靠性。进一步的财政决定必须考虑产品将如何制造和装配设备效率。较脆弱的引脚元件，如 0.50 与 0.40 mm 0.020" 与 0.016" 引脚间距的 SQFP shrink quad flat pack，可能在维护一个持续的装配工艺合格率方面向装配专家提出一个挑战。最成功的开发计划是那些已经实行工艺认证的电路板设计指引和工艺认证的焊盘几何形状。

在环境上，焊盘几何形状可能不同，它基于所用的安装电子零件的焊接类型。可能的时候，焊盘形状应该以一种对使用的安装工艺透明的方式来定义。不管零件是安装在板的一面或两面、经受波峰、回流或其它焊接，焊盘与零件尺寸应该优化，以保证适当的焊接点与检查标准。虽然焊盘图案是在尺寸上定义的，并且因为它是印制板电路几何形状的一部分，它们受到可生产性水平和与电镀、腐蚀、装配或其它条件有关的公差限制。生产性

方面也与阻焊层的使用和在阻焊与导体图案之间的对齐定位有关。

## 1、焊盘的要求

国际电子技术委员会 IEC (International Electro Technical Commission) 的 61188 标准认识到对焊接圆角或焊盘凸起条件的不同目标的需要。这个新的国际标准确认两个为开发焊盘形状提供信息的基本方法:

1). 基于工业元件规格、电路板制造和元件贴装精度能力的准确资料。这些焊盘形状局限于一个特定的元件, 有一个标识焊盘形状的编号。

2). 一些方程式可用来改变给定的信息, 以达到一个更稳健的焊接连接, 这是用于一些特殊的情况, 在这些情况中用于贴装或安装设备比在决定焊盘细节时所假设的精度有或多或少的差别。

该标准为用于贴装各种引脚或元件端子的焊盘定义了最大、中等和最小材料情况。除非另外标明, 这个标准将所有三中“希望目标”标记为一级、二级或三级。

一级: 最大 — 用于低密度产品应用, “最大”焊盘条件用于波峰或流动焊接无引脚的片状元件和有引脚的翅形元件。为这些元件以及向内的“J”型引脚元件配置的几何形状可以为手工焊接和回流焊接提供一个较宽的工艺窗口。

二级: 中等 — 具有中等水平元件密度的产品可以考虑采用这个“中等”的焊盘几何形状。与 IPC-SM-782 标准焊盘几何形状非常相似, 为所有元件类型配置的中等焊盘将为回流焊接工艺提供一个稳健的焊接条件, 并且应该为无引脚元件和翅形引脚类元件的波峰或流动焊接提供适当的条件。

三级: 最小 — 具有高元件密度的产品 通常是便携式产品应用 可以考虑“最小”焊盘几何形状。最小焊盘几何形状的选择可能不适合于所有的产品。在采用最小的焊盘形状之前, 使用这应该考虑产品的限制条件, 基于表格中所示的条件进行试验。

在 IPC-SM-782 中所提供的以及在 IEC 61188 中所配置的焊盘几何形状应该接纳元件公差和工艺变量。虽然在 IPC 标准中的焊盘已经为使用者的多数装配应用提供一个稳健的界面, 但是一些公司已经表示了对采用最小焊盘几何形状的需要, 以用于便携式电子产品和其它独特的高密度应用。

国际焊盘标准(IEC 61188)了解到更高零件密度应用的要求, 并提供用于特殊产品类型的焊盘几何形状的信息。这些信息的目的是要提供适当的表面贴装焊盘的尺寸、形状和公差, 以保证适当焊接圆角的足够区域, 也允许对这些焊接点的检查、测试和返工。

图一和表一所描述的典型的三类焊盘几何形状是为每一类元件所提供的: 最大焊盘(一级)、中等焊盘(二级)和最小焊盘(三级)。

图一、两个端子的、矩形电容与电阻元件的 IEC 标准可以不同以满足特殊产品应用

焊盘特性 最大一级 中等二级 最小三级

脚趾-焊盘突出 0.6 0.4 0.2

脚跟-焊盘突出 0.0 0.0 0.0

侧面-焊盘突出 0.1 0.0 0.0

开井余量 0.5 0.25 0.05

圆整因素 最近 0.5 最近 0.05 最近 0.05

表一、矩形与方形端的元件  
(陶瓷电容与电阻) (单位:mm)

焊接点的脚趾、脚跟和侧面圆角必须针对元件、电路板和贴装精度偏差的公差平方和。如图二所示，最小的焊接点或焊盘突出是随着公差变量而增加的（表二）。

图二、带状翘形引脚元件的 IEC 标准定义了三种可能的变量以满足用户的应用

焊盘特性	最大一级	中等二级	最小三级
脚趾-焊盘突出	0.8	0.5	0.2
脚跟-焊盘突出	0.5	0.35	0.2
侧面-焊盘突出	0.05	0.05	0.03
开井余量	0.5	0.25	0.05
圆整因素	最近 0.5	最近 0.05	最近 0.05

表二、平带 L 形与翘形引脚  
(大于 0.625mm 的间距) (单位:mm)

如果这些焊盘的用户希望对贴装和焊接设备有一个更稳健的工艺条件，那么分析中的个别元素可以改变到新的所希望的尺寸条件。这包括元件、板或贴装精度的扩散，以及最小的焊接点或焊盘突出的期望（表 3，4，5 和 6）。

用于焊盘的轮廓公差方法的方式与元件的类似。所有焊盘公差都是要对每一个焊盘以最大尺寸提供一个预计的焊盘图形。单向公差是要减小焊盘尺寸，因此得当焊接点形成的较小区域。为了使开孔的尺寸标注系统容易，焊盘是跨过内外极限标注尺寸的。

在这个标准中，尺寸标注概念使用极限尺寸和几何公差来描述焊盘允许的最大与最小尺寸。当焊盘在其最大尺寸时，结果可能是最小可接受的焊盘之间的间隔；相反，当焊盘在其最小尺寸时，结果可能是最小的可接受焊盘，需要达到可靠的焊接点。这些极限允许判断焊盘通过 / 不通过的条件。

假设焊盘几何形状是正确的，并且电路结构的最终都满足所有规定标准，焊接缺陷应该可以减少；尽管如此，焊接缺陷还可能由于材料与工艺变量而发生。为密间距 *fine pitch* 开发焊盘的设计者必须建立一个可靠的焊接连接所要求的最小脚尖与脚跟，以及在元件封装特征上允许最大与最小 或至少 的材料条件。

表三、J 形引脚 (单位:mm)

焊盘特性	最大一级	中等二级	最小三级
脚趾-焊盘突出	0.2	0.2	0.2
脚跟-焊盘突出	0.8	0.6	0.4
侧面-焊盘突出	0.1	0.05	0.0
开井余量	1.5	0.8	0.2
圆整因素	最近 0.5	最近 0.05	最近 0.05

表四、圆柱形端子 (MELF) (单位:mm)

焊盘特性	最大一级	中等二级	最小三级
脚趾-焊盘突出	1.0	0.4	0.2

脚跟-焊盘突出 0.2 0.1 0.0  
 侧面-焊盘突出 0.2 0.1 0.0  
 开井余量 0.2 0.25 0.25  
 圆整因素 最近 0.5 最近 0.05 最近 0.05

表五、只有底面的端子 (单位:mm)

焊盘特性 最大一级 中等二级 最小三级  
 脚趾-焊盘突出 0.2 0.1 0  
 脚跟-焊盘突出 0.2 0.1 0  
 侧面-焊盘突出 0.2 0.1 0  
 开井余量 0.25 0.1 0.05  
 圆整因素 最近 0.5 最近 0.05 最近 0.05

表六、内向 L 形带状引脚 (单位:mm)

焊盘特性 最大一级 中等二级 最小三级  
 脚趾-焊盘突出 0.1 0.1 0.0  
 脚跟-焊盘突出 1.0 0.5 0.2  
 侧面-焊盘突出 0.1 0.1 0.1  
 开井余量 0.5 0.25 0.05  
 圆整因素 最近 0.5 最近 0.05 最近 0.05

## 2、BGA 与 CAP

BGA 封装已经发展到满足现在的焊接安装技术。塑料与陶瓷 BGA 元件具有相对广泛的接触间距 (1.50, 1.27 和 1.00 mm), 而相对而言, 芯片规模的 BGA 栅格间距为 0.50, 0.60 和 0.80 mm。BGA 与密间距 BGA 元件两者相对于密间距引脚框架封装的 IC 都不容易损坏, 并且 BGA 标准允许选择性地减少接触点, 以满足特殊的输入 / 输出 (I / O) 要求。当为 BGA 元件建立接触点布局和引线排列时, 封装开发者必须考虑芯片设计以及芯片块的尺寸和形状。在技术引线排列时的另一个要面对的问题是芯片的方向 芯片模块的焊盘向上或向下。芯片模块“面朝上”的结构通常是当供应商正在使用 COB (chip-on-board) (内插器) 技术时才采用的。

元件构造, 以及在其制造中使用的材料结合, 不在这个工业标准与指引中定义。每一个制造商都将企图将其特殊的结构胜任用户所定义的应用。例如 消费产品可能有一个相对良好的工作环境, 而工业或汽车应用的产品经常必须运行在更大的压力条件下。取决于制造 BGA 所选择材料的物理特性, 可能要使用到倒装芯片或引线接合技术。因为芯片安装结构是刚性材料, 芯片模块安装座一般以导体定中心, 信号从芯片模块焊盘走入接触球的排列矩阵。

在该文件中详细叙述的栅格阵列封装外形在 JEDEC 的 95 出版物中提供。方形 BGA, JEDEC MS-028 定义一种较小的矩形塑料 BGA 元件类别, 接触点间隔为 1.27 mm。该矩阵元件的总的外形规格允许很大的灵活性, 如引脚间隔、接触点矩阵布局与构造。JEDEC MO-151 定义各种塑料封装的 BGA。方形轮廓覆盖的尺寸从 7.0 - 50.0, 三种接触点间隔 - 1.50, 1.27 和 1.00 mm。

球接触点可以单一的形式分布, 行与列排列有双数或单数。虽然排列必须保持对整个封装外形的对称, 但是各元件制造商允许在某区域内减少接触点的位置。

### 3、芯片规模的 BGA 变量

针对“密间距”和“真正芯片大小”的 IC 封装，最近开发的 JEDEC BGA 指引提出许多物理属性，并为封装供应商提供“变量”形式的灵活性。JEDEC JC-11 批准的第一份对密间距元件类别的文件是注册外形 MO-195，具有基本 0.50 mm 间距接触点排列的统一方形封装系列。

封装尺寸范围从 4.0 - 21.0 mm，总的高度(定义为“薄的轮廓”)限制到从贴装表面最大为 1.20 mm。下面的例子代表为将来的标准考虑的一些其它变量。

球间距与球尺寸将也会影响电路布线效率。许多公司已经选择对较低 I/O 数的 CSP 不采用 0.50 mm 间距。较大的球间距可能减轻最终用户对更复杂的印刷电路板(PCB)技术的需求。

0.50 mm 的接触点排列间隔是 JEDEC 推荐最小的。接触点直径规定为 0.30 mm，公差范围为最小 0.25、最大 0.35 mm。可是大多数采用 0.50 mm 间距的 BGA 应用将依靠电路的次表面布线。直径上小至 0.25 mm 的焊盘之间的间隔宽度只够连接一根 0.08 mm (0.003") 宽度的电路。将许多多余的电源和接地触点分布到矩阵的周围，这样将提供对排列矩阵的有限渗透。这些较高 I/O 数的应用更可能决定于多层、盲孔或封闭的焊盘上的电镀旁路孔(via-on-pad)技术。

### 4、考虑封装技术

元件的环境与电气性能可能是与封装尺寸一样重要的问题。用于高密度、高 I/O 应用的封装技术首先必须满足环境标准。例如，那些使用刚性内插器(interposer)结构的、由陶瓷或有机基板制造的不能紧密地配合硅芯片的外形。元件四周的引线接合座之间的互连必须流向内面。 $\mu$ BGA\* 封装结构的一个实际优势是它在硅芯片模块外形内提供所有电气界面的能力。

$\mu$ BGA 使用一种高级的聚酰胺薄膜作为其基体结构，并且使用半加成铜电镀工艺来完成芯片上铝接合座与聚酰胺内插器上球接触座之间的互连。依顺材料的独特结合使元件能够忍受极端恶劣的环境。这种封装已经由一些主要的 IC 制造商用来满足具有广泛运作环境的应用。

超过 20 家主要的 IC 制造商和封装服务提供商已经采用了  $\mu$ BGA 封装。定义为“面朝下”的封装，元件外形密切配合芯片模块的外形，芯片上的铝接合焊盘放于朝向球接触点和 PCB 表面的位置。这种结构在工业中有最广泛的认同，因为其建立的基础结构和无比的可靠性。 $\mu$ BGA 封装的材料与引脚设计的独特系统是在物理上顺应的，补偿了硅芯片与 PCB 结构的温度膨胀系统的较大差别。

### 5、安装座计划

推荐给 BGA 元件的安装座或焊盘的几何形状通常是圆形的，可以调节直径来满足接触点间隔和尺寸的变化。焊盘直径应该不大于封装上接触点或球的直径，经常比球接触点规定的正常直径小 10%。在最后确定焊盘排列与几何形状之前，参考 IPC-SM-782 第 14.0 节或制造商的规格。

有两种方法用来定义安装座：定义焊盘或铜，定义阻焊，如图三所示。

图三、BGA 的焊盘可以通过化学腐蚀的图案来界定，无阻焊层或有阻焊层叠加在焊盘圆周上(阻焊层界定)。

铜定义焊盘图形 — 通过腐蚀的铜界定焊盘图形。阻焊间隔应该最小离腐蚀的铜焊盘 0.075 mm。对要求间隔小于所推荐值的应用，咨询印制板供应商。

阻焊定义焊盘图形 — 如果使用阻焊界定的图形，相应地调整焊盘直径，以保证阻焊的覆盖。

BGA 元件上的焊盘间隔活间距是“基本的”，因此是不累积的；可是，贴装精度和 PCB 制造公差必须考虑。如前面所说的，BGA 的焊盘一般是圆形的、阻焊界定或腐蚀阻焊脱离焊盘界定的。虽然较大间距的 BGA 将接纳电路走线的焊盘之间的间隔，较高 I/O 的元件将依靠电镀旁路孔来将电路走到次表面层。表七所示的焊盘几何形状推荐一个与名义标准接触点或球的直径相等或稍小的直径。

表七、 BGA 元件安装的焊盘图形

接触点间距

(基本的) 标准球直径 焊盘直径 (mm)

最小 名义 最大 最小 - 最大

0.05 0.25 0.30 0.35 0.25-0.30

0.65 0.25 0.30 0.35 0.25-0.30

0.65 0.35 0.40 0.45 0.35-0.40

0.80 0.25 0.30 0.35 0.25-0.30

0.80 0.35 0.40 0.45 0.35-0.40

0.80 0.45 0.50 0.55 0.40-0.50

1.00 0.55 0.60 0.65 0.50-0.60

1.27 0.70 0.75 0.80 0.60-0.70

1.50 0.70 0.75 0.80 0.60-0.70

## PCB Layout 指南(上)

### 1. 一般规则

1.1 PCB 板上预划分数字、模拟、DAA 信号布线区域。

1.2 数字、模拟元器件及相应走线尽量分开并放置于各自的布线区域内。

1.3 高速数字信号走线尽量短。

1.4 敏感模拟信号走线尽量短。

1.5 合理分配电源和地。

1.6 DGND、AGND、实地分开。

1.7 电源及临界信号走线使用宽线。

1.8 数字电路放置于并行总线/串行 DTE 接口附近，DAA 电路放置于电话线接口附近。

### 2. 元器件放置

2.1 在系统电路原理图中：

- a) 划分数字、模拟、DAA 电路及其相关电路；
- b) 在各个电路中划分数字、模拟、混合数字/模拟元器件；
- c) 注意各 IC 芯片电源和信号引脚的定位。

2.2 初步划分数字、模拟、DAA 电路在 PCB 板上的布线区域(一般比例 2/1/1)，数字、模拟元器件及其相应走线尽量远离并限定在各自的布线区域内。

Note:当 DAA 电路占较大比重时，会有较多控制/状态信号走线穿越其布线区域，可根据当地规则限定做调整，如元器件间距、高压抑制、电流限制等。

2.3 初步划分完毕后，从 Connector 和 Jack 开始放置元器件：

- a) Connector 和 Jack 周围留出插件的位置；
- b) 元器件周围留出电源和地走线的空间；

c) Socket 周围留出相应插件的位置。

2.4 首先放置混合型元器件(如 Modem 器件、A/D、D/A 转换芯片等):

- a) 确定元器件放置方向, 尽量使数字信号及模拟信号引脚朝向各自布线区域;
- b) 将元器件放置在数字和模拟信号布线区域的交界处。

2.5 放置所有的模拟器件:

- a) 放置模拟电路元器件, 包括 DAA 电路;
- b) 模拟器件相互靠近且放置在 PCB 上包含 TXA1、TXA2、RIN、VC、VREF 信号走线的一面;
- c) TXA1、TXA2、RIN、VC、VREF 信号走线周围避免放置高噪声元器件;
- d) 对于串行 DTE 模块, DTE EIA/TIA-232-E

系列接口信号的接收/驱动器尽量靠近 Connector 并远离高频时钟信号走线, 以减少/避免每条线上增加的噪声抑制器件, 如阻流圈和电容等。

2.6 放置数字元器件及去耦电容:

- a) 数字元器件集中放置以减少走线长度;
- b) 在 IC 的电源/地间放置 0.1uF 的去耦电容, 连接走线尽量短以减小 EMI;
- c) 对并行总线模块, 元器件紧靠 Connector 边缘放置, 以符合应用总线接口标准, 如 ISA 总线走线长度限定在 2.5in;
- d) 对串行 DTE 模块, 接口电路靠近 Connector;
- e) 晶振电路尽量靠近其驱动器件。

2.7 各区域的地线, 通常用 0 Ohm 电阻或 bead 在一点或多点相连。

### 3. 信号走线

3.1 Modem 信号走线中, 易产生噪声的信号线和易受干扰的信号线尽量远离, 如无法避免时要用中性信号线隔离。

Modem 易产生噪声的信号引脚、中性信号引脚、易受干扰的信号引脚如下表所示:

```

=====
| Noise Source | neutral | noise
sensitive

-----+-----+-----+-----
VDD,GND, AGND | | 31,38,34,37 |

-----+-----+-----+-----
Crystal | 52,53 | |

-----+-----+-----+-----
Reset | | 35 |

-----+-----+-----+-----
Memory BUS| 1-6,9-10,12-13 | |
| 43-50,58-68 | |

-----+-----+-----+-----
NVRAM | | 39,42 |

```

-----+-----+-----+-----  
Telephone | | 7-8,36,51,54 | 24-25,30,32-33

-----+-----+-----+-----  
Audio | | | 23,26-29

-----+-----+-----+-----  
串行 DTE | 40-41 | 11,14-22,55-57 |

=====

=====

| Noise Source | neutral | noise  
sensitive

-----+-----+-----+-----  
VDD,GND, AGND | | 31,38,34,37 |

-----+-----+-----+-----  
Crystal | 52,53 | |

-----+-----+-----+-----  
Reset | | 35 |

-----+-----+-----+-----  
Memory BUS| 1-6,9-10,12-13 | |  
| 43-50,58-68 | |

-----+-----+-----+-----  
NVRAM | | 39,42 |

-----+-----+-----+-----  
Telephone | | 7-8,36,51,54 | 24-25,30,32-33

-----+-----+-----+-----  
Audio | | | 23,26-29

-----+-----+-----+-----  
并行总线 | 11,14-22,40-41 | |  
| 55-57 | |

=====

3.2 数字信号走线尽量放置在数字信号布线区域内；  
模拟信号走线尽量放置在模拟信号布线区域内；  
(可预先放置隔离走线加以限定，以防走线布出布线区域)

数字信号走线和模拟信号走线垂直以减小交叉耦合。

3.3 使用隔离走线(通常为地)将模拟信号走线限定在模拟信号布线区域。

a) 模拟区隔离地走线环绕模拟信号布线区域布在 PCB 板两面, 线宽 50-100mil;

b) 数字区隔离地走线环绕数字信号布线区域布在 PCB 板两面, 线宽 50-100mil, 其中一面 PCB 板边应布 200mil 宽度。

3.4 并行总线接口信号走线线宽 $>10\text{mil}$ (一般为 12-15mil), 如/HCS、/HRD、/HWT、/RESET。

3.5 模拟信号走线线宽 $>10\text{mil}$ (一般为 12-15mil), 如 MICM、MICV、SPKV、VC、VREF、TXA1、TXA2、RXA、TELIN、TELOUT。

3.6 所有其它信号走线尽量宽, 线宽 $>5\text{mil}$ (一般为 10mil), 元器件间走线尽量短(放置器件时应预先考虑)。

3.7 旁路电容到相应 IC 的走线线宽 $>25\text{mil}$ , 并尽量避免使用过孔。

3.8 通过不同区域的信号线(如典型的低速控制/状态信号)应在一点(首选)或两点通过隔离地线。如果走线只位于一面, 隔离地线可走到 PCB 的另一面以跳过信号走线而保持连续。

3.9 高频信号走线避免使用 90 度角弯转, 应使用平滑圆弧或 45 度角。

3.10 高频信号走线应减少使用过孔连接。

3.11 所有信号走线远离晶振电路。

3.12 对高频信号走线应采用单一连续走线, 避免出现从一点延伸出几段走线的情况。

3.13 DAA 电路中, 穿孔周围(所有层面)留出至少 60mil 的空间。

3.14 清除地线环路, 以防意外电流回馈影响电源。

## PCB Layout 指南(下)

### 4. 电源

4.1 确定电源连接关系。

4.2 数字信号布线区域中, 用 10 $\mu\text{F}$  电解电容或钽电容与 0.1 $\mu\text{F}$  瓷片电容并联后接在电源/地之间.在 PCB 板电源入口端和最远端各放置一处, 以防电源尖峰脉冲引发的噪声干扰。

4.3 对双面板, 在用电电路相同层面中, 用两边线宽为 200mil 的电源走线环绕该电路。(另一面须用数字地做相同处理)

4.4 一般地, 先布电源走线, 再布信号走线。

### 5. 地

5.1 双面板中, 数字和模拟元器件(除 DAA)周围及下方未使用之区域用数字地或模拟地区域填充, 各层面同类区域连接在一起, 不同层面同类区域通过多个过孔相连:Modem DGND 引脚接至数字地区域, AGND 引脚接至模拟地区域;数字地区域和模拟地区域用一条直的空隙隔开。

5.2 四层板中, 使用数字和模拟地区域覆盖数字和模拟元器件(除 DAA): Modem DGND 引脚接至数字地区域, AGND 引脚接至模拟地区域;数字地区域和模拟地区域用一条直的空隙隔开。

5.3 如设计中须 EMI 过滤器, 应在接口插座端预留一定空间, 绝大多数 EMI 器件(Bead/电容)均可放置在该区

域;未使用之区域用地区域填充, 如有屏蔽外壳也须与之相连。

5.4 每个功能模块电源应分开。功能模块可分为: 并行总线接口、显示、数字电路(SRAM、EPROM、Modem) 和 DAA 等, 每个功能模块的电源/地只能在电源/地的源点相连。

5.5 对串行 DTE 模块, 使用去耦电容减少电源耦合, 对电话线也可做相同处理。

5.6 地线通过一点相连, 如可能, 使用 Bead; 如抑制 EMI 需要, 允许地线在其它地方相连。

5.7 所有地线走线尽量宽, 25-50mil。

5.8 所有 IC 电源/地间的电容走线尽量短, 并不要使用过孔。

## 6. 晶振电路

6.1 所有连到晶振输入/输出端(如 XTLI、XTLO)的走线尽量短, 以减少噪声干扰及分布电容对 Crystal 的影响。XTLO 走线尽量短, 且弯转角度不小于 45 度。(因 XTLO 连接至上升时间快, 大电流之驱动器)

6.2 双面板中没有地线层, 晶振电容地线应使用尽量宽的短线连接至器件上离晶振最近的 DGND 引脚, 且尽量减少过孔。

6.3 如可能, 晶振外壳接地。

6.4 在 XTLO 引脚与晶振/电容节点处接一个 100 Ohm 电阻。

6.5 晶振电容的地直接连接至 Modem 的 GND 引脚, 不要使用地线区域或地线走线来连接电容和 Modem 的 GND 引脚。

## 7. 使用 EIA/TIA-232 接口的独立 Modem 设计

7.1 使用金属外壳。如果须用塑料外壳, 应在内部贴金属箔片或喷涂导电物质以减小 EMI。

7.2 各电源线上放置相同模式的 Choke。

7.3 元器件放置在一起并紧靠 EIA/TIA-232 接口的 Connector。

7.4 所有 EIA/TIA-232 器件从电源源点单独连接电源/地。电源/地的源点应为板上电源输入端或调压芯片的输出端。

7.5 EIA/TIA-232 电缆信号地接至数字地。

7.6 以下情况 EIA/TIA-232 电缆屏蔽不用接至 Modem 外壳;空接;通过 Bead 接到数字地;EIA/TIA-232 电缆靠近 Modem 外壳处放置一磁环时直接连到数字地。

8. VC 及 VREF 电路电容走线尽量短, 且位于中性区域。

8.1 10uF VC 电解电容正极与 0.1uF VC 电容的连接端通过独立走线连至 Modem 的 VC 引脚(PIN24)。

8.2 10uF VC 电解电容负极与 0.1uF VC 电容的连接端通过 Bead 后用独立走线连至 Modem 的 AGND 引脚(PIN34)。

8.3 10uF VREF 电解电容正极与 0.1uF VC 电容的连接端通过独立走线连至 Modem 的 VREF 引脚(PIN25)。

8.4 10uF VREF 电解电容负极与 0.1uF VC 电容的连接端通过独立走线连至 Modem 的 VC 引脚(PIN24); 注意与 8.1 走线相独立。

```
VREF -----+-----+
+ 10u + 0.1u
VC -----+-----+
+ 10u + 0.1u
+-----+----~::~---+ AGND
```

使用之 Bead 应满足:

100MHz 时, 阻抗=70W;;

额定电流=200mA;;

最大电阻=0.5W。

## 9. 电话和 Handset 接口

### 9.1 Tip 和 Ring 线接口处放置 Choke。

9.2 电话线的去耦方法与电源去耦类似，使用增加电感组合体、Choke、电容等方法。但电话线的去耦比电源去耦更困难也更值得注意，一般做法是预留这些器件的位置，以便性能/EMI 测试认证时调整。

### 9.3 Tip 和 Ring 线到数字地间放置耐压高的滤波电容(0.001uF/1KV)。

## PCB 设计的一般原则

内容:印制电路板(PCB)是电子产品中电路元件和器件的支撑件。它提供电路元件和器件之间的电气连接。随着电子技术的飞速发展，PCB 的密度越来越高。PCB 设计的好坏对抗干扰能力影响很大。因此，在进行 PCB 设计时，必须遵守 PCB 设计的一般原则，并应符合抗干扰设计的要求。

### PCB 设计的一般原则

要使电子电路获得最佳性能，元器件的布且及导线的布设是很重要的。为了设计质量好、造价低的 PCB，应遵循以下一般原则：

#### 1. 布局

首先，要考虑 PCB 尺寸大小。PCB 尺寸过大时，印制线条长，阻抗增加，抗噪声能力下降，成本也增加；过小，则散热不好，且邻近线条易受干扰。在确定 PCB 尺寸后，再确定特殊元件的位置。最后，根据电路的功能单元，对电路的全部元器件进行布局。

在确定特殊元件的位置时要遵守以下原则：

(1)尽可能缩短高频元器件之间的连线，设法减少它们的分布参数和相互间的电磁干扰。易受干扰的元器件不能相互挨得太近，输入和输出元件应尽量远离。

(2)某些元器件或导线之间可能有较高的电位差，应加大它们之间的距离，以免放电引出意外短路。带高压的元器件应尽量布置在调试时手不易触及的地方。

(3)重量超过 15g 的元器件、应当用支架加以固定，然后焊接。那些又大又重、发热量多的元器件，不宜装在印制板上，而应装在整机的机箱底板上，且应考虑散热问题。热敏元件应远离发热元件。

(4)对于电位器、可调电感线圈、可变电容器、微动开关等可调元件的布局应考虑整机的结构要求。若是机内调节，应放在印制板上方便于调节的地方；若是机外调节，其位置要与调节旋钮在机箱面板上的位置相适应。

(5)应留出印制板定位孔及固定支架所占用的位置。

根据电路的功能单元，对电路的全部元器件进行布局时，要符合以下原则：

(1)按照电路的流程安排各个功能电路单元的位置，使布局便于信号流通，并使信号尽可能保持一致的方向。

(2)以每个功能电路的核心元件为中心，围绕它来进行布局。元器件应均匀、整齐、紧凑地排列在 PCB 上，尽

量减少和缩短各元器件之间的引线和连接。

(3)在高频下工作的电路，要考虑元器件之间的分布参数。一般电路应尽可能使元器件平行排列。这样，不但美观，而且装焊容易，易于批量生产。

(4)位于电路板边缘的元器件，离电路板边缘一般不小于 2mm。电路板的最佳形状为矩形。长宽比为 3:2 或 4:3。电路板面尺寸大于 200x150mm 时，应考虑电路板所受的机械强度。

## 2. 布线

布线的原则如下：

(1)输入输出端用的导线应尽量避免相邻平行。最好加线间地线，以免发生反馈耦合。

(2)印制导线的最小宽度主要由导线与绝缘基板间的粘附强度和流过它们的电流值决定。

当铜箔厚度为 0.05mm、宽度为 1~15mm 时，通过 2A 的电流，温度不会高于 3℃，因此导线宽度为 1.5mm 可满足要求。对于集成电路，尤其是数字电路，通常选 0.02~0.3mm 导线宽度。当然，只要允许，还是尽可能用宽线，尤其是电源线和地线。

导线的最小间距主要由最坏情况下的线间绝缘电阻和击穿电压决定。对于集成电路，尤其是数字电路，只要工艺允许，可使间距小至 5~8mm。

(3)印制导线拐弯处一般取圆弧形，而直角或夹角在高频电路中会影响电气性能。此外，尽量避免使用大面积铜箔，否则，长时间受热时，易发生铜箔膨胀和脱落现象。必须用大面积铜箔时，最好用栅格状。这样有利于排除铜箔与基板间粘合剂受热产生的挥发性气体。

## 3. 焊盘

焊盘中心孔要比器件引线直径稍大一些。焊盘太大易形成虚焊。焊盘外径 D 一般不小于  $(d+1.2)$ mm，其中 d 为引线孔径。对高密度的数字电路，焊盘最小直径可取  $(d+1.0)$ mm。

## PCB 及电路抗干扰措施

印制电路板的抗干扰设计与具体电路有着密切的关系，这里仅就 PCB 抗干扰设计的几项常用措施做一些说明。

### 1. 电源线设计

根据印制线路板电流的大小，尽量加粗电源线宽度，减少环路电阻。同时，使电源线、地线的走向和数据传递的方向一致，这样有助于增强抗噪声能力。

### 2. 地线设计

地线设计的原则是：

(1)数字地与模拟地分开。若线路板上既有逻辑电路又有线性电路，应使它们尽量分开。低频电路的地应尽量采用单点并联接地，实际布线有困难时可部分串联后再并联接地。高频电路宜采用多点串联接地，地线应短而粗，高频元件周围尽量用栅格状大面积地箔。

(2)接地线应尽量加粗。若接地线用很细的线条，则接地电位随电流的变化而变化，使抗噪性能降低。因此应将接地线加粗，使它能通过三倍于印制板上的允许电流。如有可能，接地线应在 2~3mm 以上。

(3)接地线构成闭环路。只由数字电路组成的印制板，其接地电路布成闭环路大多能提高抗噪声能力。

### 3.去耦电容配置

PCB 设计的常规做法之一是在印制板的各个关键部位配置适当的去耦电容。去耦电容的一般配置原则是：

(1)电源输入端跨接 10~100uF 的电解电容器。如有可能，接 100uF 以上的更好。

(2)原则上每个集成电路芯片都应布置一个 0.01pF 的瓷片电容，如遇印制板空隙不够，可每 4~8 个芯片布置一个 1~10pF 的但电容。

(3)对于抗噪能力弱、关断时电源变化大的器件，如 RAM、ROM 存储器件，应在芯片的电源线和地线之间直接接入去耦电容。

(4)电容引线不能太长，尤其是高频旁路电容不能有引线。此外，还应注意以下两点：

(1 在印制板中有接触器、继电器、按钮等元件时，操作它们时均会产生较大火花放电，必须采用附图所示的 RC 电路来吸收放电电流。一般 R 取 1~2K，C 取 2.2~47UF。

(2CMOS 的输入阻抗很高，且易受感应，因此在使用时对不用端要接地或接正电源。

经常使用排阻作为上拉或下拉。

排阻的公共端接电源或地线，在实际使用过程中发现，如果排阻值较大则通过公共端耦合引起误动作。

排阻值较小则增加系统功耗。

结论：排阻阻值要慎选，公共端接线或电源线要粗，最好有去耦电容。

\*\*\*\*\*

## RF 产品设计过程中降低信号耦合的 PCB 布线技巧

一轮蓝牙设备、无绳电话和蜂窝电话需求高潮正促使中国电子工程师越来越关注 RF 电路设计技巧。RF 电路板的设计是最令设计工程师感到头疼的部分，如想一次获得成功，仔细规划和注重细节是必须加以高度重视的两大关键设计规则。

射频(RF)电路板设计由于在理论上还有很多不确定性，因此常被形容为一种“黑色艺术”，但这个观点只有部分正确，RF 电路板设计也有许多可以遵循的准则和不应该被忽视的法则。不过，在实际设计时，真正实用的技巧是当这些准则和法则因各种设计约束而无法准确地实施时如何对它们进行折衷处理。

当然，有许多重要的 RF 设计课题值得讨论，包括阻抗和阻抗匹配、绝缘层材料和层叠板以及波长和驻波，不过，本文将集中探讨与 RF 电路板分区设计有关的各种问题。

今天的蜂窝电话设计以各种方式将所有的东西集成在一起，这对 RF 电路板设计来说很不利。现在业界竞争非常激烈，人人都在想办法用最小的尺寸和最小的成本集成最多的功能。模拟、数字和 RF 电路都紧密地挤在一起，用来隔开各自问题区域的空间非常小，而且考虑到成本因素，电路板层数往往又减到最小。令人感到不可思议的是，多用途芯片可将多种功能集成在一个非常小的裸片上，而且连接外界的引脚之间排列得又非常紧密，因此 RF、IF、模拟和数字信号非常靠近，但它们通常在电气上是不相干的。电源分配可能对设计者来说是一个噩梦，为了延长电池寿命，电路的不同部分是根据需要而分时工作的，并由软件来控制转换。这意味着你可能需要为你的蜂窝电话提供 5 到 6 种工作电源。

### 一、RF 布局概念

在设计 RF 布局时，有几个总的原则必须优先加以满足：

尽可能地把高功率 RF 放大器(HPA)和低噪声放大器(LNA)隔离开来，简单地说，就是让高功率 RF 发射电路远离低功率 RF 接收电路。如果你的 PCB 板上有很多物理空间，那么你可以很容易地做到这一点，但通常元器件很多，PCB 空间较小，因而这通常是不可能的。你可以把他们放在 PCB 板的两面，或者让它们交替工作，而不是同时工作。高功率电路有时还可包括 RF 缓冲器和压控制振荡器(VCO)。

确保 PCB 板上高功率区至少有一整块地，最好上面没有过孔，当然，铜皮越多越好。稍后，我们将讨论如何根据需要打破这个设计原则，以及如何避免由此而可能引起的问题。

芯片和电源去耦同样也极为重要，稍后将讨论实现这个原则的几种方法。

RF 输出通常需要远离 RF 输入，稍后我们将进行详细讨论。

敏感的模拟信号应该尽可能远离高速数字信号和 RF 信号。

## 二、如何进行分区？

设计分区可以分解为物理分区和电气分区。物理分区主要涉及元器件布局、朝向和屏蔽等问题；电气分区可以继续分解为电源分配、RF 走线、敏感电路和信号以及接地等的分区。

首先我们讨论物理分区问题。元器件布局是实现一个优秀 RF 设计的关键，最有效的技术是首先固定位于 RF 路径上的元器件，并调整其朝向以将 RF 路径的长度减到最小，使输入远离输出，并尽可能远地分离高功率电路和低功率电路。

最有效的电路板堆叠方法是将主接地面(主地)安排在表层下的第二层，并尽可能将 RF 线走在表层上。将 RF 路径上的过孔尺寸减到最小不仅可以减少路径电感，而且还可以减少主地上的虚焊点，并可减少 RF 能量泄漏到层叠板内其他区域的机会。

在物理空间上，像多级放大器这样的线性电路通常足以将多个 RF 区之间相互隔离开来，但是双工器、混频器和中频放大器/混频器总是有多个 RF/IF 信号相互干扰，因此必须小心地将这一影响减到最小。RF 与 IF 走线应尽可能走十字交叉，并尽可能在它们之间隔一块地。正确的 RF 路径对整块 PCB 板的性能而言非常重要，这也就是为什么元器件布局通常在蜂窝电话 PCB 板设计中占大部分时间的原因。

在蜂窝电话 PCB 板上，通常可以将低噪声放大器电路放在 PCB 板的某一面，而高功率放大器放在另一面，并最终通过双工器把它们在同一面上连接到 RF 端和基带处理器端的天线上。需要一些技巧来确保直通过孔不会把 RF 能量从板的一面传递到另一面，常用的技术是在两面都使用盲孔。可以通过将直通过孔安排在 PCB 板两面都不受 RF 干扰的区域来将直通过孔的不利影响减到最小。

有时不太可能在多个电路块之间保证足够的隔离，在这种情况下就必须考虑采用金属屏蔽罩将射频能量屏蔽在 RF 区域内，但金属屏蔽罩也存在问题，例如：自身成本和装配成本都很贵；

外形不规则的金属屏蔽罩在制造时很难保证高精度，长方形或正方形金属屏蔽罩又使元器件布局受到一些限制；金属屏蔽罩不利于元器件更换和故障定位；由于金属屏蔽罩必须焊在地上，必须与元器件保持一个适当距离，因此需要占用宝贵的 PCB 板空间。

尽可能保证屏蔽罩的完整非常重要，进入金属屏蔽罩的数字信号线应该尽可能走内层，而且最好走线层的下面一层 PCB 是地层。RF 信号线可以从金属屏蔽罩底部的小缺口和地缺口处的布线层上走出去，不过缺口处周围

要尽可能地多布一些地，不同层上的地可通过多个过孔连在一起。

尽管有以上的问题，但是金属屏蔽罩非常有效，而且常常还是隔离关键电路的唯一解决方案。

此外，恰当和有效的芯片电源去耦也非常重要。许多集成了线性线路的 RF 芯片对电源的噪音非常敏感，通常每个芯片都需要采用高达四个电容和一个隔离电感来确保滤除所有的电源噪音(见图 1)。

最小电容值通常取决于其自谐振频率和低引脚电感，C4 的值就是据此选择的。C3 和 C2 的值由于其自身引脚电感的关系而相对较大一些，从而 RF 去耦效果要差一些，不过它们较适合于滤除较低频率的噪声信号。电感 L1 使 RF 信号无法从电源线耦合到芯片中。记住：所有的走线都是一条潜在的既可接收也可发射 RF 信号的天线，另外将感应的射频信号与关键线路隔离开也很必要。

这些去耦元件的物理位置通常也很关键，图 2 表示了一种典型的布局方法。这几个重要元件的布局原则是：C4 要尽可能靠近 IC 引脚并接地，C3 必须最靠近 C4，C2 必须最靠近 C3，而且 IC 引脚与 C4 的连接走线要尽可能短，这几个元件的接地端(尤其是 C4)通常应当通过下一地层与芯片的接地引脚相连。将元件与地层相连的过孔应该尽可能靠近 PCB 板上元件焊盘，最好是使用打在焊盘上的盲孔以将连接线电感减到最小，电感应靠近 C1。

一块集成电路或放大器常常带有一个开漏极输出，因此需要一个上拉电感来提供一个高阻抗 RF 负载和一个低阻抗直流电源，同样的原则也适用于对这一电感端的电源进行去耦。有些芯片需要多个电源才能工作，因此你可能需要两到三套电容和电感来分别对它们进行去耦处理，如果该芯片周围没有足够空间的话，那么可能会遇到一些麻烦。

记住电感极少并行靠在一起，因为这将形成一个空芯变压器并相互感应产生干扰信号，因此它们之间的距离至少要相当于其中一个器件的高度，或者成直角排列以将其互感减到最小。

电气分区原则大体上与物理分区相同，但还包含一些其它因素。现代蜂窝电话的某些部分采用不同工作电压，并借助软件对其进行控制，以延长电池工作寿命。这意味着蜂窝电话需要运行多种电源，而这给隔离带来了更多的问题。电源通常从连接器引入，并立即进行去耦处理以滤除任何来自线路板外部的噪声，然后再经过一组开关或稳压器之后对其进行分配。

蜂窝电话里大多数电路的直流电流都相当小，因此走线宽度通常不是问题，不过，必须为高功率放大器的电源单独走一条尽可能宽的大电流线，以将传输压降减到最低。为了避免太多电流损耗，需要采用多个过孔来将电流从某一层传递到另一层。此外，如果不能在高功率放大器的电源引脚端对它进行充分的去耦，那么高功率噪声将会辐射到整块板上，并带来各种各样的问题。高功率放大器的接地相当关键，并经常需要为其设计一个金属屏蔽罩。

在大多数情况下，同样关键的是确保 RF 输出远离 RF 输入。这也适用于放大器、缓冲器和滤波器。在最坏情况下，如果放大器和缓冲器的输出以适当的相位和振幅反馈到它们的输入端，那么它们就有可能产生自激振荡。在最好情况下，它们将能在任何温度和电压条件下稳定地工作。实际上，它们可能会变得不稳定，并将噪音和互调信号添加到 RF 信号上。

如果射频信号线不得不从滤波器的输入端绕回输出端，这可能会严重损害滤波器的带通特性。为了使输入和输出得到良好的隔离，首先必须在滤波器周围布一圈地，其次滤波器下层区域也要布一块地，并与围绕滤波器的主地连接起来。把需要穿过滤波器的信号线尽可能远离滤波器引脚也是个好方法。此外，整块板上各个地方的接地都要十分小心，否则你可能会在不知不觉之中引入一条你不希望发生的耦合通道。图 3 详细说明了这一接地办法。

有时可以选择走单端或平衡 RF 信号线，有关交叉干扰和 EMC/EMI 的原则在这里同样适用。平衡 RF 信号线如果走线正确的话，可以减少噪声和交叉干扰，但是它们的阻抗通常比较高，而且要保持一个合理的线宽以得到一个匹配信号源、走线和负载的阻抗，实际布线可能会有一些困难。

缓冲器可以用来提高隔离效果，因为它可把同一个信号分为两个部分，并用于驱动不同的电路，特别是本振可能需要缓冲器来驱动多个混频器。当混频器在 RF 频率处到达共模隔离状态时，它将无法正常工作。缓冲器可以很好地隔离不同频率处的阻抗变化，从而电路之间不会相互干扰。

缓冲器对设计的帮助很大，它们可以紧跟在需要被驱动电路的后面，从而使高功率输出走线非常短，由于缓冲器的输入信号电平比较低，因此它们不易对板上的其它电路造成干扰。

还有许多非常敏感的信号和控制线需要特别注意，但它们超出了本文探讨的范围，因此本文仅略作论述，不再进行详细说明。

压控振荡器(VCO)可将变化的电压转换为变化的频率，这一特性被用于高速频道切换，但它们同样也将控制电压上的微量噪声转换为微小的频率变化，而这就给 RF 信号增加了噪声。总的来说，在这一级以后你再也没有办法从 RF 输出信号中将噪声去掉。那么困难在哪里呢？首先，控制线的期望频宽范围可能从 DC 直到 2MHz，而通过滤波来去掉这么宽频带的噪声几乎是不可能的；其次，VCO 控制线通常是一个控制频率的反馈回路的一部分，它在很多地方都有可能引入噪声，因此必须非常小心处理 VCO 控制线。

要确保 RF 走线下层的地是实心的，而且所有的元器件都牢固地连到主地上，并与其它可能带来噪声的走线隔离开来。此外，要确保 VCO 的电源已得到充分去耦，由于 VCO 的 RF 输出往往是一个相对较高的电平，VCO 输出信号很容易干扰其它电路，因此必须对 VCO 加以特别注意。事实上，VCO 往往布放在 RF 区域的末端，有时它还需要一个金属屏蔽罩。

谐振电路(一个用于发射机，另一个用于接收机)与 VCO 有关，但也有它自己的特点。简单地讲，谐振电路是一个带有容性二极管的并行谐振电路，它有助于设置 VCO 工作频率和将语音或数据调制到 RF 信号上。

所有 VCO 的设计原则同样适用于谐振电路。由于谐振电路含有数量相当多的元器件、板上分布区域较宽以及通常运行在一个很高的 RF 频率下，因此谐振电路通常对噪声非常敏感。信号通常排列在芯片的相邻脚上，但这些信号引脚又需要与相对较大的电感和电容配合才能工作，这反过来要求这些电感和电容的位置必须靠得很近，并连回到一个对噪声很敏感的控制环路上。要做到这点是不容易的。

自动增益控制(AGC)放大器同样是一个容易出问题的地方，不管是发射还是接收电路都会有 AGC 放大器。AGC 放大器通常能有效地滤掉噪声，不过由于蜂窝电话具备处理发射和接收信号强度快速变化的能力，因此要求 AGC 电路有一个相当宽的带宽，而这使某些关键电路上的 AGC 放大器很容易引入噪声。

设计 AGC 线路必须遵守良好的模拟电路设计技术，而这跟很短的运放输入引脚和很短的反馈路径有关，这两处都必须远离 RF、IF 或高速数字信号走线。同样，良好的接地也必不可少，而且芯片的电源必须得到良好的去耦。如果必须要在输入或输出端走一根长线，那么最好是在输出端，通常输出端的阻抗要低得多，而且也不容易感应噪声。通常信号电平越高，就越容易把噪声引入到其它电路。

在所有 PCB 设计中，尽可能将数字电路远离模拟电路是一条总的原则，它同样也适用于 RF PCB 设计。公共模拟地和用于屏蔽和隔开信号线的地通常是同等重要的，问题在于如果没有预见和事先仔细的计划，每次你能在这方面所做的事都很少。因此在设计早期阶段，仔细的计划、考虑周全的元器件布局和彻底的布局评估都非常重要，由于疏忽而引起的设计更改将可能导致一个即将完成的设计又必须推倒重来。这一因疏忽而导致的严重后果，无论如何对你的个人事业发展来说不是一件好事。

同样应使 RF 线路远离模拟线路和一些很关键的数字信号，所有的 RF 走线、焊盘和元件周围应尽可能多填接地铜皮，并尽可能与主地相连。类似面包板的微型过孔构造板在 RF 线路开发阶段很有用，如果你选用了构造板，那么你毋须花费任何开销就可随意使用很多过孔，否则在普通 PCB 板上钻孔将会增加开发成本，而这在大批量生产时会增加成本。

如果 RF 走线必须穿过信号线，那么尽量在它们之间沿着 RF 走线布一层与主地相连的地。如果不可能的话，一定要保证它们是十字交叉的，这可将容性耦合减到最小，同时尽可能在每根 RF 走线周围多布一些地，并把它们连到主地。此外，将并行 RF 走线之间的距离减到最小可以将感性耦合减到最小。

一个实心的整块接地面直接放在表层下第一层时，隔离效果最好，尽管小心一点设计时其它的做法也管用。我曾试过把接地面分成几块来隔离模拟、数字和 RF 线路，但我从未对结果感到满意过，因为最终总是有一些高速信号线要穿过这些分开的地，这不是一件好事。

在 PCB 板的每一层，应布上尽可能多的地，并把它们连到主地面。尽可能把走线靠在一起以增加内部信号层和电源分配层的地块数量，并适当调整走线以便你能将地连接过孔布置到表层上的隔离地块。应当避免在 PCB 各层上生成游离地，因为它们会像一个小天线那样拾取或注入噪音。在大多数情况下，如果你不能把它们连到主地，那么你最好把它们去掉。

#### 本文小结

在拿到一张工程更改单(ECO)时，要冷静，不要轻易消除你所有辛辛苦苦才完成的工作。一张 ECO 很轻易使你的工作陷入混乱，不管需要做的修改是多么的微小。当你必须在某个时间段里完成一份工作时，你很容易就会忘记一些关键的东西，更不用说要作出更改了。

不论是不是“黑色艺术”，遵守一些基本的 RF 设计规则和留意一些优秀的设计实例将可帮助你完成 RF 设计工作。成功的 RF 设计必须仔细注意整个设计过程中每个步骤及每个细节才有可能实现，这意味着必须在设计开始阶段就要进行彻底的、仔细的规划，并对每个设计步骤的工作进展进行全面持续地评估。

### PCB 设计基础知识

印刷电路板 (Printed circuit board, PCB) 几乎会出现在每一种电子设备当中。如果在某样设备中有电子零件，那么它们也都是镶在大小各异的 PCB 上。除了固定各种小零件外，PCB 的主要功能是提供上头各项零件的相互电气连接。随着电子设备越来越复杂，需要的零件越来越多，PCB 上头的线路与零件也越来越密集了。标准的 PCB 长得就像这样。裸板 (上头没有零件) 也常被称为「印刷线路板 Printed Wiring Board (PWB)」。

板子本身的基板是由绝缘隔热、并不易弯曲的材质所制作成。在表面可以看到的细小线路材料是铜箔，原本铜箔是覆盖在整个板子上的，而在制造过程中部份被蚀刻处理掉，留下来的部份就变成网状的细小线路了。这些线路被称作导线 (conductor pattern) 或称布线，并用来提供 PCB 上零件的电路连接。

为了将零件固定在 PCB 上面，我们将它们的接脚直接焊在布线上。在最基本的 PCB (单面板) 上，零件都集中在其中一面，导线则都集中在另一面。这么一来我们就需要在板子上打洞，这样接脚才能穿过板子到另一面，所以零件的接脚是焊在另一面上的。因为如此，PCB 的正反面分别被称为零件面 (Component Side) 与焊接面 (Solder Side)。

如果 PCB 上头有某些零件，需要在制作完成后也可以拿掉或装回去，那么该零件安装时会用到插座 (Socket)。由于插座是直接焊在板子上的，零件可以任意的拆装。下面看到的是 ZIF (Zero Insertion Force, 零拨插力式) 插

座，它可以让零件（这里指的是 CPU）可以轻松插进插座，也可以拆下来。插座旁的固定杆，可以在您插进零件后将其固定。

如果要将两块 PCB 相互连结，一般我们都会用到俗称「金手指」的边接头（edge connector）。金手指上包含了许多裸露的铜垫，这些铜垫事实上也是 PCB 布线的一部份。通常连接时，我们将其中一片 PCB 上的金手指插进另一片 PCB 上合适的插槽上（一般叫做扩充槽 Slot）。在计算机中，像是显示卡，声卡或是其它类似的界面卡，都是借着金手指来与主机板连接的。

PCB 上的绿色或是棕色，是阻焊漆（solder mask）的颜色。这层是绝缘的防护层，可以保护铜线，也可以防止零件被焊到不正确的地方。在阻焊层上另外会印刷上一层丝网印刷面（silk screen）。通常在这上面会印上文字与符号（大多是白色的），以标示出各零件在板子上的位置。丝网印刷面也被称作图标面（legend）。

### 单面板（Single-Sided Boards）

我们刚刚提到过，在最基本的 PCB 上，零件集中在其中一面，导线则集中在另一面上。因为导线只出现在其中一面，所以我们就称这种 PCB 叫作单面板（Single-sided）。因为单面板在设计线路上有许多严格的限制（因为只有一面，布线间不能交叉而必须绕独自的路径），所以只有早期的电路才使用这类的板子。

### 双面板（Double-Sided Boards）

这种电路板的两面都有布线。不过要用上两面的导线，必须要在两面间有适当的电路连接才行。这种电路间的「桥梁」叫做导孔（via）。导孔是在 PCB 上，充满或涂上金属的小洞，它可以与两面的导线相连接。因为双面板的面积比单面板大了一倍，而且因为布线可以互相交错（可以绕到另一面），它更适合用在比单面板更复杂的电路上。

### 多层板（Multi-Layer Boards）

为了增加可以布线的面积，多层板用上了更多单或双面的布线板。多层板使用数片双面板，并在每层板间放进一层绝缘层后黏牢（压合）。板子的层数就代表了有几层独立的布线层，通常层数都是偶数，并且包含最外侧的两层。大部分的主机板都是 4 到 8 层的结构，不过技术上可以做到近 100 层的 PCB 板。大型的超级计算机大多使用相当多层的主机板，不过因为这类计算机已经可以用许多普通计算机的集群代替，超多层板已经渐渐不被使用了。因为 PCB 中的各层都紧密的结合，一般不太容易看出实际数目，不过如果您仔细观察主机板，也许可以看出来。

我们刚刚提到的导孔（via），如果应用在双面板上，那么一定都是打穿整个板子。不过在多层板当中，如果您只想连接其中一些线路，那么导孔可能会浪费一些其它层的线路空间。埋孔（Buried vias）和盲孔（Blind vias）技术可以避免这个问题，因为它们只穿透其中几层。盲孔是将几层内部 PCB 与表面 PCB 连接，不须穿透整个板子。埋孔则只连接内部的 PCB，所以光是从表面是看不出来的。

在多层板 PCB 中，整层都直接连接上地线与电源。所以我们将各层分类为信号层（Signal），电源层（Power）或是地线层（Ground）。如果 PCB 上的零件需要不同的电源供应，通常这类 PCB 会有两层以上的电源与电线层。

### 零件封装技术

#### 插入式封装技术（Through Hole Technology）

将零件安置在板子的一面，并将接脚焊在另一面上，这种技术称为「插入式(Through Hole Technology, THT)」封装。这种零件会需要占用大量的空间，并且要为每只接脚钻一个洞。所以它们的接脚其实占掉两面的空间，而且焊点也比较大。但另一方面，THT 零件和 SMT (Surface Mounted Technology, 表面黏着式) 零件比起来，与 PCB 连接的构造比较好，关于这点我们稍后再谈。像是排线的插座，和类似的界面都需要能耐压力，所以通常它们都是 THT 封装。

### 表面黏贴式封装技术 (Surface Mounted Technology)

使用表面黏贴式封装 (Surface Mounted Technology, SMT) 的零件，接脚是焊在与零件同一面。这种技术不用为每个接脚的焊接，而都在 PCB 上钻洞。

表面黏贴式的零件，甚至还能在两面都焊上。

SMT 也比 THT 的零件要小。和使用 THT 零件的 PCB 比起来，使用 SMT 技术的 PCB 板上零件要密集很多。SMT 封装零件也比 THT 的要便宜。所以现今的 PCB 上大部分都是 SMT，自然不足为奇。

因为焊点和零件的接脚非常的小，要用人工焊接实在非常难。不过如果考虑到目前的组装都是全自动的话，这个问题只会出现在修复零件的时候吧。

### 设计流程

在 PCB 的设计中，其实在正式布线前，还要经过很漫长的步骤，以下就是主要设计的流程：

#### 系统规格

首先要先规划出该电子设备的各项系统规格。包含了系统功能，成本限制，大小，运作情形等等。

#### 系统功能区块图

接下来必须要制作出系统的功能方块图。方块间的关系也必须要标示出来。

#### 将系统分割几个 PCB

将系统分割数个 PCB 的话，不仅在尺寸上可以缩小，也可以让系统具有升级与交换零件的能力。系统功能方块图就提供了我们分割的依据。像是计算机就可以分成主机板、显示卡、声卡、软盘驱动器和电源等等。

#### 决定使用封装方法，和各 PCB 的大小

当各 PCB 使用的技术和电路数量都决定好了，接下来就是决定板子的大小了。如果设计的过大，那么封装技术就要改变，或是重新作分割的动作。在选择技术时，也要将线路图的品质与速度都考量进去。

#### 绘出所有 PCB 的电路概图

概图中要表示出各零件间的相互连接细节。所有系统中的 PCB 都必须要描出来，现今大多采用 CAD (计算机辅助设计, Computer Aided Design) 的方式。下面就是使用 CircuitMaker™ 设计的范例。

#### PCB 的电路概图

## 初步设计的仿真运作

为了确保设计出来的电路图可以正常运作，这必须先用计算机软件来仿真一次。这类软件可以读取设计图，并且用许多方式显示电路运作的情况。这比起实际做出一块样本 PCB，然后用手动测量要来的有效率多了。

## 将零件放上 PCB

零件放置的方式，是根据它们之间如何相连来决定的。它们必须以最有效率的方式与路径相连接。所谓有效率的布线，就是牵线越短并且通过层数越少（这也同时减少导孔的数目）越好，不过在真正布线时，我们会再提到这个问题。下面是总线在 PCB 上布线的样子。为了让各零件都能够拥有完美的配线，放置的位置是很重要的。

## 测试布线可能性，与高速下的正确运作

现今的部份计算机软件，可以检查各零件摆设的位置是否可以正确连接，或是检查在高速运作下，这样是否可以正确运作。这项步骤称为安排零件，不过我们不会太深入研究这些。如果电路设计有问题，在实地导出线路前，还可以重新安排零件的位置。

## 导出 PCB 上线路

在概图中的连接，现在将会实地作成布线的样子。这项步骤通常都是全自动的，不过一般来说还是需要手动更改某些部份。下面是 2 层板的导线模板。红色和蓝色的线条，分别代表 PCB 的零件层与焊接层。白色的文字与四方形代表的是网版印刷面的各项标示。红色的点和圆圈代表钻洞与导孔。最右方我们可以看到 PCB 上的焊接面有金手指。这个 PCB 的最终构图通常称为工作底片（Artwork）。

每一次的设计，都必须符合一套规定，像是线路间的最小保留空隙，最小线路宽度，和其它类似的实际限制等。这些规定依照电路的速度，传送信号的强弱，电路对耗电与噪声的敏感度，以及材质品质与制造设备等因素而有不同。如果电流强度上升，那导线的粗细也必须要增加。为了减少 PCB 的成本，在减少层数的同时，也必须要注意这些规定是否仍旧符合。如果需要超过 2 层的构造的话，那么通常会使用到电源层以及地线层，来避免信号层上的传送信号受到影响，并且可以当作信号层的防护罩。

## 导线后电路测试

为了确定线路在导线后能够正常运作，它必须要通过最后检测。这项检测也可以检查是否有不正确的连接，并且所有联机都照着概图走。

## 建立制作档案

因为目前有许多设计 PCB 的 CAD 工具，制造厂商必须有符合标准的档案，才能制造板子。标准规格有好几种，不过最常用的是 Gerber files 规格。一组 Gerber files 包括各信号、电源以及地线层的平面图，阻焊层与网板印刷面的平面图，以及钻孔与取放等指定档案。

## 电磁兼容问题

没有照 EMC（电磁兼容）规格设计的电子设备，很可能会散发出电磁能量，并且干扰附近的电器。EMC 对电磁干扰（EMI），电磁场（EMF）和射频干扰（RFI）等都规定了最大的限制。这项规定可以确保该电器与附近其它电器的正常运作。EMC 对一项设备，散射或传导到另一设备的能量有严格的限制，并且设计时要减少对外来 EMF、EMI、RFI 等的磁化率。换言之，这项规定的目的就是要防止电磁能量进入或由装置散发出。这其实是

一项很难解决的问题，一般大多会使用电源和地线层，或是将 PCB 放进金属盒子当中以解决这些问题。电源和地线层可以防止信号层受干扰，金属盒的效用也差不多。对这些问题我们就不过于深入了。

电路的最大速度得看如何照 EMC 规定做了。内部的 EMI，像是导体间的电流耗损，会随着频率上升而增强。如果两者之间的电流差距过大，那么一定要拉长两者间的距离。这也告诉我们如何避免高压，以及让电路的电流消耗降到最低。布线的延迟率也很重要，所以长度自然越短越好。所以布线良好的小 PCB，会比大 PCB 更适合在高速下运作。

## 制造流程

PCB 的制造过程由玻璃环氧树脂（Glass Epoxy）或类似材质制成的「基板」开始

### 影像（成形 / 导线制作）

制作的第一步是建立出零件间联机的布线。我们采用负片转印（Subtractive transfer）方式将工作底片表现在金属导体上。这项技巧是将整个表面铺上一层薄薄的铜箔，并且把多余的部份给消除。追加式转印（Additive Pattern transfer）是另一种比较少人使用的方式，这是只在需要的地方敷上铜线的方法，不过我们在这里就不多谈了。

如果制作的是双面板，那么 PCB 的基板两面都会铺上铜箔，如果制作的是多层板，接下来的步骤则会将这些板子黏在一起。

接下来的流程图，介绍了导线如何焊在基板上。

正光阻剂（positive photoresist）是由感光剂制成的，它在照明下会溶解（负光阻剂则是如果没有经过照明就会分解）。有很多方式可以处理铜表面的光阻剂，不过最普遍的方式，是将它加热，并在含有光阻剂的表面上滚动（称作干膜光阻剂）。它也可以用液态的方式喷在上头，不过干膜式提供比较高的分辨率，也可以制作出比较细的导线。

遮光罩只是一个制造中 PCB 层的模板。在 PCB 板上的光阻剂经过 UV 光曝光之前，覆盖在上面的遮光罩可以防止部份区域的光阻剂不被曝光（假设用的是正光阻剂）。这些被光阻剂盖住的地方，将会变成布线。

在光阻剂显影之后，要蚀刻的其它的裸铜部份。蚀刻过程可以将板子浸到蚀刻溶剂中，或是将溶剂喷在板子上。一般用作蚀刻溶剂的有，氯化铁（Ferric Chloride），碱性氨（Alkaline Ammonia），硫酸加过氧化氢（Sulfuric Acid + Hydrogen Peroxide），和氯化铜（Cupric Chloride）等。蚀刻结束后将剩下的光阻剂去除掉。这称作脱膜（Stripping）程序。

### 钻孔与电镀

如果制作的是多层 PCB 板，并且里头包含埋孔或是盲孔的话，每一层板子在黏合前必须要先钻孔与电镀。如果不经过这个步骤，那么就没办法互相连接了。

在根据钻孔需求由机器设备钻孔之后，孔壁里头必须经过电镀（镀通孔技术，Plated-Through-Hole technology, PTH）。在孔壁内部作金属处理后，可以让内部的各层线路能够彼此连接。在开始电镀之前，必须先清掉孔内的杂物。这是因为树脂环氧物在加热后会产生一些化学变化，而它会覆盖住内部 PCB 层，所以要先清掉。清除与电镀动作都会在化学制程中完成。

### 多层 PCB 压合

各单片层必须要压合才能制造出多层板。压合动作包括在各层间加入绝缘层，以及将彼此黏牢等。如果有透过好几层的导孔，那么每层都必须要重复处理。多层板的外侧两面上的布线，则通常在多层板压合后才处理。

处理阻焊层、网版印刷面和金手指部份电镀

接下来将阻焊漆覆盖在最外层的布线上，这样一来布线就不会接触到电镀部份外了。网版印刷面则印在其上，以标示各零件的位置，它不能够覆盖在任何布线或是金手指上，不然可能会减低可焊性或是电流连接的稳定性。金手指部份通常会镀上金，这样在插入扩充槽时，才能确保高品质的电流连接。

测试

测试 PCB 是否有短路或是断路的状况，可以使用光学或电子方式测试。光学方式采用扫描以找出各层的缺陷，电子测试则通常用飞针探测仪（Flying-Probe）来检查所有连接。电子测试在寻找短路或断路比较准确，不过光学测试可以更容易侦测到导体间不正确空隙的问题。

零件安装与焊接

最后一项步骤就是安装与焊接各零件了。无论是 THT 与 SMT 零件都利用机器设备来安装放置在 PCB 上。

THT 零件通常都用叫做波峰焊接（Wave Soldering）的方式来焊接。这可以让所有零件一次焊接上 PCB。首先将接脚切割到靠近板子，并且稍微弯曲以让零件能够固定。接着将 PCB 移到助溶剂的水波上，让底部接触到助溶剂，这样可以将底部金属上的氧化物给除去。在加热 PCB 后，这次则移到融化的焊料上，在和底部接触后焊接就完成了。

自动焊接 SMT 零件的方式则称为再回流焊接（Over Reflow Soldering）。里头含有助溶剂与焊料的糊状焊接物，在零件安装在 PCB 上后先处理一次，经过 PCB 加热后再处理一次。待 PCB 冷却之后焊接就完成了，接下来就是准备进行 PCB 的最终测试了

节省制造成本的方法

为了让 PCB 的成本能够越低越好，有许多因素必须要列入考量：

板子的大小自然是个重点。板子越小成本就越低。部份的 PCB 尺寸已经成为标准，只要照着尺寸作那么成本就自然会下降。CustomPCB 网站上有一些关于标准尺寸的信息。

使用 SMT 会比 THT 来得省钱，因为 PCB 上的零件会更密集（也会比较小）。

另一方面，如果板子上的零件很密集，那么布线也必须更细，使用的设备也相对的要更高阶。同时使用的材质也要更高级，在导线设计上也必须更小心，以免造成耗电等会对电路造成影响的问题。这些问题带来的成本，可比缩小 PCB 尺寸所节省的还要多。

层数越多成本越高，不过层数少的 PCB 通常会造成大小的增加。

钻孔需要时间，所以导孔越少越好。

埋孔比贯穿所有层的导孔要贵。因为埋孔必须要在接合前就先钻好洞。

板上孔的大小是依照零件接脚的直径来决定。如果板子上有不同类型接脚的零件，那么因为机器不能使用同一个钻头钻所有的洞，相对的比较耗时间，也代表制造成本相对提升。

使用飞针式探测方式的电子测试，通常比光学方式贵。一般来说光学测试已经足够保证 PCB 上没有任何错误。

总而言之，厂商在设备上下的工夫也是越来越复杂了。了解 PCB 的制造过程是很有用的，因为当我们在比较主机板时，相同效能的板子成本可能不同，稳定性也各异，这也让我们得以比较各厂商的能力。

好的工程师可以光看主机板设计，就知道设计品质的好坏。您也许自认没那么强，不过下次您拿到主机板或是显示卡时，不妨先鉴赏一下 PCB 设计之美吧！

## PCB 设计基本概念

### 1、“层(Layer)”的概念

与字处理或其它许多软件中为实现图、文、色彩等的嵌套与合成而引入的“层”的概念有所不同，Protel 的“层”不是虚拟的，而是印刷板材料本身实实在在的各铜箔层。现今，由于电子线路的元件密集安装。防干扰和布线等特殊要求，一些较新的电子产品中所用的印刷板不仅有上下两面供走线，在板的中间还设有能被特殊加工的夹层铜箔，例如，现在的计算机主板所用的印板材料多在 4 层以上。这些层因加工相对较难而大多用于设置走线较为简单的电源布线层（如软件中的 Ground Dever 和 Power Dever），并常用大面积填充的办法来布线（如软件中的 External P1a11e 和 Fill）。上下位置的表面层与中间各层需要连通的地方用软件中提到的所谓“过孔（Via）”来沟通。有了以上解释，就不难理解“多层焊盘”和“布线层设置”的有关概念了。举个简单的例子，不少人布线完成，到打印出来时才发现很多连线的终端都没有焊盘，其实这是自己添加器件库时忽略了“层”的概念，没把自己绘制封装的焊盘特性定义为“多层（Mulii — Layer)的缘故。要提醒的是，一旦选定了所用印板的层数，务必关闭那些未被使用的层，免得惹事生非走弯路。

### 2、过孔(Via)

为连通各层之间的线路，在各层需要连通的导线的文汇处钻上一个公共孔，这就是过孔。工艺上在过孔的孔壁圆柱面上用化学沉积的方法镀上一层金属，用以连通中间各层需要连通的铜箔，而过孔的上下两面做成普通的焊盘形状，可直接与上下两面的线路相通，也可不连。一般而言，设计线路时对过孔的处理有以下原则：（1）尽量少用过

孔，一旦选用了过孔，务必处理好它与周边各实体的间隙，特别是容易被忽视的中间各层与过孔不相连的线与过孔的间隙，如果是自动布线，可在“过孔数量最小化”（Via Minimimiz8tion）子菜单里选择“on”项来自动解决。

（2）需要的载流量越大，所需的过孔尺寸越大，如电源层和地层与其它层联接所用的过孔就要大一些。

### 3、丝印层（Overlay）

为方便电路的安装和维修等，在印刷板的上下两表面印刷上所需要的标志图案和文字代号等，例如元件标号和标称值、元件外廓形状和厂家标志、生产日期等等。不少初学者设计丝印层的有关内容时，只注意文字符号放置得整齐美观，忽略了实际制出的 PCB 效果。他们设计的印板上，字符不是被元件挡住就是侵入了助焊区域被抹除，还有的把元件标号打在相邻元件上，如此种种的设计都将会给装配和维修带来很大不便。正确的丝印层字符布置原则是：“不出歧义，见缝插针，美观大方”。

### 4、SMD 的特殊性

Protel 封装库内有大量 SMD 封装，即表面焊装器件。这类器件除体积小巧之外的最大特点是单面分布元引脚孔。因此，选用这类器件要定义好器件所在面，以免“丢失引脚 (Missing Plns)”。另外，这类元件的有关文字标注只能随元件所在面放置。

## 5、网格状填充区 (External Plane ) 和填充区(Fill)

正如两者的名字那样，网络状填充区是把大面积的铜箔处理成网状的，填充区仅是完整保留铜箔。初学者设计过程中在计算机上往往看不到二者的区别，实质上，只要你把图面放大后就一目了然了。正是由于平常不容易看出二者的区别，所以使用时更不注意对二者的区分，要强调的是，前者在电路特性上有较强的抑制高频干扰的作用，适用于需做大面积填充的地方，特别是把某些区域当做屏蔽区、分割区或大电流的电源线时尤为合适。后者多用于一般的线端部或转折区等需要小面积填充的地方。

## 6、焊盘(Pad)

焊盘是 PCB 设计中最常接触也是最重要的概念，但初学者却容易忽视它的选择和修正，在设计中千篇一律地使用圆形焊盘。选择元件的焊盘类型要综合考虑该元件的形状、大小、布置形式、振动和受热情况、受力方向等因素。Protel 在封装库中给出了一系列不同大小和形状的焊盘，如圆、方、八角、圆方和定位用焊盘等，但有时这还不够用，需要自己编辑。例如，对发热且受力较大、电流较大的焊盘，可自行设计成“泪滴状”，在大家熟悉的彩电 PCB 的行输出变压器引脚焊盘的设计中，不少厂家正是采用的这种形式。一般而言，自行编辑焊盘时除了以上所讲的以外，还要考虑以下原则：

- (1) 形状上长短不一致时要考虑连线宽度与焊盘特定边长的大小差异不能过大；
- (2) 需要在元件引角之间走线时选用长短不对称的焊盘往往事半功倍；
- (3) 各元件焊盘孔的大小要按元件引脚粗细分别编辑确定，原则是孔的尺寸比引脚直径大 0.2-0.4 毫米。

## 7、各类膜 (Mask)

这些膜不仅是 PCB 制作工艺过程中必不可少的，而且更是元件焊装的必要条件。按“膜”所处的位置及其作用，“膜”可分为元件面(或焊接面)助焊膜(TOp or Bottom 和元件面(或焊接面)阻焊膜(TOp or Bottom Paste Mask)两类。顾名思义，助焊膜是涂于焊盘上，提高可焊性能的一层膜，也就是在绿色板子上比焊盘略大的各浅色圆斑。阻焊膜的情况正好相反，为了使制成的板子适应波峰焊等焊接形式，要求板子上非焊盘处的铜箔不能粘锡，因此在焊盘以外的各部位都要涂覆一层涂料，用于阻止这些部位上锡。可见，这两种膜是一种互补关系。由此讨论，就不难确定菜单中类似“solder Mask Enlargement”等项目的设置了。

## 8、飞线，飞线有两重含义：

(1) 自动布线时供观察用的类似橡皮筋的网络连线，在通过网络表调入元件并做了初步布局后，用“Show 命令就可以看到该布局下的网络连线的交叉状况，不断调整元件的位置使这种交叉最少，以获得最大的自动布线的布通率。这一步很重要，可以说是磨刀不误砍柴功，多花些时间，值！另外，自动布线结束，还有哪些网络尚未布通，也可通过该功能来查找。找出未布通网络之后，可用手工补偿，实在补偿不了就要用到“飞线”的第二层含义，就是在将来的印板上用导线连通这些网络。要交待的是，如果该电路板是大批量自动线生产，可将这种飞线视为 0 欧阻值、具有统一焊盘间距的电阻元件来进行设计。

## PCB 设计注意事项

### 一. 焊盘重叠

焊盘（除表面贴装焊盘外）的重叠，也就是孔的重叠放置，在钻孔时会因为在一处多钻孔导致断钻头、导线损伤。

### 二. 图形层的滥用

1. 违反常规设计，如元件面设计在 BOTTOM 层，焊接面设计在 TOP，造成文件编辑时正反面错误。
2. PCB 板内若有需铣的槽，要用 KEEPOUT LAYER 或 BOARD LAYER 层画出，不应用其它层面，避免误铣或没铣。

### 三. 异型孔

若板内有异型孔，用 KEEPOUT 层画出一个与孔大小一样的填充区即可。异形孔的长/宽比例应 $\geq 2:1$ ，宽度应 $>1.0\text{mm}$ ，否则，钻床在加工异型孔时极易断钻，造成加工困难。

### 四. 字符的放置

1. 字符遮盖焊盘 SMD 焊片，给印制板的通断测试及元件的焊接带来不便。
2. 字符设计的太小，造成丝网印刷的困难，使字符不够清晰。

### 五. 单面焊盘孔径的设置

1. 单面焊盘一般不钻孔，若钻孔需标注，其孔径应设计为零。如果设计了数值，这样在产生钻孔数据时，其位就会钻出孔，轻则会影响板面美观，重则板子报废。
2. 单面焊盘若要钻孔就要做出特殊标注。

### 六. 用填充区块画焊盘

用填充块画焊盘在设计线路时能够通过 DRC 检查，但对于加工是不行的，因此类焊盘不能直接生成阻焊数据，上阻焊剂时，该填充块区域将被阻焊剂覆盖，导致器件焊接困难。

### 七. 设计中的填充块太多或填充块用极细的线填充

1. 产生光绘数据有丢失的现象，光绘数据不完全。
2. 因填充块在光绘数据处理时是用线一条一条去画的，因此产生的光绘数据量相当大，增加了数据处理难度。

### 八. 表面贴装器件焊盘太短

这是对于通断测试而言，对于太密的表面贴装器件，其两脚之间的间距相当小，焊盘也相当细，安装测试须上下（右左）交错位置，如焊盘设计的太短，虽然不影响器件贴装，但会使测试针错不开位。

### 九. 大面积网格的间距太小

组成大面积网格线同线之间的边缘太小（小于  $0.30\text{mm}$ ），在印制过程中会造成短路。

### 十. 大面积铜箔距外框的距离太近

大面积铜箔外框应至少保证  $0.20\text{mm}$  以上的间距，因在铣外形时如铣到铜箔上容易造成铜箔翘及由其引起焊剂脱落问题。

### 十一. 外形边框设计的不明确

有的客户在 KEEP LAYER、BOARD LAYER、TOP OVER LAYER 等都设计了外形线且这些外形线不重合，造成成型时很难判断哪一条是外型线。

## 十二. 线条的放置

两个焊盘之间的连线，不要断断续续的画，如果想加粗线条不要用线条来重复放置，直接改变线条 WIDTH 即可，这样的话在修改线路的时候易修改。

### PCB 设计几点体会

这是个牵涉面大的问题。抛开其它因素，仅就 PCB 设计环节来说，我有以下几点体会，供参考：

1.要有合理的走向：如输入/输出，交流/直流，强/弱信号，高频/低频，高压/低压等...，它们的走向应该是呈线形的(或分离)，不得相互交融。其目的是防止相互干扰。最好的走向是按直线，但一般不易实现，最不利的走向是环形，所幸的是可以设隔离带来改善。对于是直流，小信号，低电压 PCB 设计的要求可以低些。所以“合理”是相对的。

2.选择好接地点：小小的接地点不知有多少工程技术人员对它做过多少论述，足见其重要性。一般情况下要求共点地，如：前向放大器的多条地线应汇合后再与干线地相连等等...。现实中，因受各种限制很难完全办到，但应尽力遵循。这个问题在实际中是相当灵活的。每个人都有自己的一套解决方案。如能针对具体的电路板来解释就容易理解。

3.合理布置电源滤波/退耦电容：一般在原理图中仅画出若干电源滤波/退耦电容，但未指出它们各自应接于何处。其实这些电容是为开关器件(门电路)或其它需要滤波/退耦的部件而设置的，布置这些电容就应尽量靠近这些元部件，离得太远就没有作用了。有趣的是，当电源滤波/退耦电容布置的合理时，接地点的问题就显得不那么明显。

4.线条有讲究：有条件做宽的线决不做细；高压及高频线应园滑，不得有尖锐的倒角，拐弯也不得采用直角。地线应尽量宽，最好使用大面积敷铜，这对接地点问题有相当大的改善。

5.有些问题虽然发生在后期制作中，但却是 PCB 设计中带来的，它们是：过线孔太多，沉铜工艺稍有不慎就会埋下隐患。所以，设计中应尽量减少过线孔。同向并行的线条密度太大，焊接时很容易连成一片。所以，线密度应视焊接工艺的水平来确定。焊点的距离太小，不利于人工焊接，只能以降低工效来解决焊接质量。否则将留下隐患。所以，焊点的最小距离的确定应综合考虑焊接人员的素质和工效。

焊盘或过线孔尺寸太小，或焊盘尺寸与钻孔尺寸配合不当。前者对人工钻孔不利，后者对数控钻孔不利。容易将焊盘钻成“c”形，重则钻掉焊盘。导线太细，而大面积的未布线区又没有设置敷铜，容易造成腐蚀不均匀。即当未布线区腐蚀完后，细导线很有可能腐蚀过头，或似断非断，或完全断。所以，设置敷铜的作用不仅仅是增大接地面积和抗干扰。以上诸多因素都会对电路板的质量和将来产品的可靠性大打折扣。我不是这方面的专业设计人员，不对的地方请指正。

## PCB LAYOUT 技术大全

### PROTEL 相关疑问

#### 1.原理图常见错误：

(1) ERC 报告管脚没有接入信号：

- a. 创建封装时给管脚定义了 I/O 属性；
- b. 创建元件或放置元件时修改了不一致的 grid 属性，管脚与线没有连上；
- c. 创建元件时 pin 方向反向，必须非 pin name 端连线。

(2) 元件跑到图纸界外：没有在元件库图表纸中心创建元件。

(3) 创建的工程文件网络表只能部分调入 PCB：生成 netlist 时没有选择为 global。

(4) 当使用自己创建的多部分组成的元件时，千万不要使用 annotate。

## 2.PCB 中常见错误:

(1) 网络载入时报告 NODE 没有找到:

- a. 原理图中的元件使用了 PCB 库中没有的封装;
- b. 原理图中的元件使用了 PCB 库中名称不一致的封装;
- c. 原理图中的元件使用了 PCB 库中 pin number 不一致的封装。如三极管: sch 中 pin number 为 e,b,c, 而 PCB 中为 1, 2, 3。

(2) 打印时总是不能打印到一页纸上:

- a. 创建 PCB 库时没有在原点;
- b. 多次移动和旋转了元件, PCB 板界外有隐藏的字符。选择显示所有隐藏的字符, 缩小 PCB, 然后移动字符到边界内。

(3) DRC 报告网络被分成几个部分:

表示这个网络没有连通, 看报告文件, 使用选择 CONNECTED COPPER 查找。

另外提醒朋友尽量使用 WIN2000, 减少蓝屏的机会; 多几次导出文件, 做成新的 DDB 文件, 减少文件尺寸和 PROTEL 僵死的机会。如果作较复杂得设计, 尽量不要使用自动布线。

在 PCB 设计中, 布线是完成产品设计的重要步骤, 可以说前面的准备工作都是为它而做的, 在整个 PCB 中, 以布线的设计过程限定最高, 技巧最细、工作量最大。PCB 布线有单面布线、双面布线及多层布线。布线的方式也有两种: 自动布线及交互式布线, 在自动布线之前, 可以用交互式预先对要求比较严格的线进行布线, 输入端与输出端的边线应避免相邻平行, 以免产生反射干扰。必要时应加地线隔离, 两相邻层的布线要互相垂直, 平行容易产生寄生耦合。

自动布线的布通率, 依赖于良好的布局, 布线规则可以预先设定, 包括走线的弯曲次数、导通孔的数目、步进的数目等。一般先进行探索式布经线, 快速地把短线连通, 然后进行迷宫式布线, 先把要布的连线进行全局的布线路径优化, 它可以根据需要断开已布的线。并试着重新再布线, 以改进总体效果。

对目前高密度的 PCB 设计已感觉到贯通孔不太适应了, 它浪费了许多宝贵的布线通道, 为解决这一矛盾, 出现了盲孔和埋孔技术, 它不仅完成了导通孔的作用, 还省出许多布线通道使布线过程完成得更加方便, 更加流畅, 更为完善, PCB 板的设计过程是一个复杂而又简单的过程, 要想很好地掌握它, 还需广大电子工程设计人员去自己体会, 才能得到其中的真谛。

\*\*\*\*\*

## 2、设计流程

PCB 的设计流程分为网表输入、规则设置、元器件布局、布线、检查、复查、输出六个步骤。

### 2.1 网表输入

网表输入有两种方法, 一种是使用 PowerLogic 的 OLE PowerPCB Connection 功能, 选择 Send Netlist, 应用 OLE 功能, 可以随时保持原理图和 PCB 图的一致, 尽量减少出错的可能。另一种方法是直接在 PowerPCB 中装载网表, 选择 File->Import, 将原理图生成的网表输入进来。

### 2.2 规则设置

如果在原理图设计阶段就已经把 PCB 的设计规则设置好的话, 就不用再进行设置。

这些规则了, 因为输入网表时, 设计规则已随网表输入进 PowerPCB 了。如果修改了设计规则, 必须同步原理图, 保证原理图和 PCB 的一致。除了设计规则和层定义外, 还有一些规则需要设置, 比如 Pad Stacks, 需要修改标准过孔的大小。如果设计者新建了一个焊盘或过孔, 一定要加上 Layer 25。

注意:

PCB 设计规则、层定义、过孔设置、CAM 输出设置已经作成缺省启动文件, 名称为 Default.stp, 网表输入进来以后, 按照设计的实际情况, 把电源网络和地分配给电源层和地层, 并设置其它高级规则。在所有的规则都设置好以后, 在 PowerLogic 中, 使用 OLE PowerPCB Connection 的 Rules From PCB 功能, 更新原理图中的规则设置, 保证原理图和 PCB 图的规则一致。

## 2.3 元器件布局

网表输入以后, 所有的元器件都会放在工作区的零点, 重叠在一起, 下一步的工作就是把这些元器件分开, 按照一些规则摆放整齐, 即元器件布局。PowerPCB 提供了两种方法, 手工布局和自动布局。

### 2.3.1 手工布局

1. 工具印制板的结构尺寸画出板边 (Board Outline)。
2. 将元器件分散 (Disperse Components), 元器件会排列在板边的周围。
3. 把元器件一个一个地移动、旋转, 放到板边以内, 按照一定的规则摆放整齐。

### 2.3.2 自动布局

PowerPCB 提供了自动布局和自动的局部簇布局, 但对大多数的设计来说, 效果并不理想, 不推荐使用。

### 2.3.3 注意事项

- a. 布局的首要原则是保证布线的布通率, 移动器件时注意飞线的连接, 把有连线关系的器件放在一起
- b. 数字器件和模拟器件要分开, 尽量远离
- c. 去耦电容尽量靠近器件的 VCC
- d. 放置器件时要考虑以后的焊接, 不要太密集
- e. 多使用软件提供的 Array 和 Union 功能, 提高布局的效率

## 2.4 布线

布线的方式也有两种, 手工布线和自动布线。PowerPCB 提供的手工布线功能十分强大, 包括自动推挤、在线设计规则检查 (DRC), 自动布线由 Specctra 的布线引擎进行, 通常这两种方法配合使用, 常用的步骤是手工—自动—手工。

### 2.4.1 手工布线

1. 自动布线前, 先用手工布一些重要的网络, 比如高频时钟、主电源等, 这些网络往往对走线距离、线宽、线间距、屏蔽等有特殊的要求; 另外一些特殊封装, 如 BGA, 自动布线很难布得有规则, 也要用手工布线。
2. 自动布线以后, 还要用手工布线对 PCB 的走线进行调整。

### 2.4.2 自动布线

手工布线结束以后, 剩下的网络就交给自动布线器来自布。选择 Tools->SPECCTRA, 启动 Specctra 布线器的接口, 设置好 DO 文件, 按 Continue 就启动了 Specctra 布线器自动布线, 结束后如果布通率为 100%, 那么就可以进行手工调整布线了; 如果不到 100%, 说明布局或手工布线有问题, 需要调整布局或手工布线, 直至全部布通为止。

### 2.4.3 注意事项

- a. 电源线和地线尽量加粗
- b. 去耦电容尽量与 VCC 直接连接
- c. 设置 Specctra 的 DO 文件时, 首先添加 Protect all wires 命令, 保护手工布的线不被自动布线器重布
- d. 如果有混合电源层, 应该将该层定义为 Split/mixed Plane, 在布线之前将其分割, 布完线之后, 使用 Pour Manager

的 Plane Connect 进行覆铜

- e. 将所有的器件管脚设置为热焊盘方式，做法是将 Filter 设为 Pins，选中所有的管脚，修改属性，在 Thermal 选项前打勾
- f. 手动布线时把 DRC 选项打开，使用动态布线 (Dynamic Route)

## 2.5 检查

检查的项目有间距 (Clearance)、连接性 (Connectivity)、高速规则 (High Speed) 和电源层 (Plane)，这些项目可以选择 Tools->Verify Design 进行。如果设置了高速规则，必须检查，否则可以跳过这一项。检查出错误，必须修改布局和布线。

注意：

有些错误可以忽略，例如有些接插件的 Outline 的一部分放在了板框外，检查间距时会出错；另外每次修改过走线和过孔之后，都要重新覆铜一次。

## 2.6 复查

复查根据“PCB 检查表”，内容包括设计规则，层定义、线宽、间距、焊盘、过孔设置；还要重点复查器件布局的合理性，电源、地线网络的走线，高速时钟网络的走线与屏蔽，去耦电容的摆放和连接等。复查不合格，设计者要修改布局和布线，合格之后，复查者和设计者分别签字。

## 2.7 设计输出

PCB 设计可以输出到打印机或输出光绘文件。打印机可以把 PCB 分层打印，便于设计者和复查者检查；光绘文件交给制板厂家，生产印制板。光绘文件的输出十分重要，关系到这次设计的成败，下面将着重说明输出光绘文件的注意事项。

- a. 需要输出的层有布线层 (包括顶层、底层、中间布线层)、电源层 (包括 VCC 层和 GND 层)、丝印层 (包括顶层丝印、底层丝印)、阻焊层 (包括顶层阻焊和底层阻焊)，另外还要生成钻孔文件 (NC Drill)
- b. 如果电源层设置为 Split/Mixed，那么在 Add Document 窗口的 Document 项选择 Routing，并且每次输出光绘文件之前，都要对 PCB 图使用 Pour Manager 的 Plane Connect 进行覆铜；如果设置为 CAM Plane，则选择 Plane，在设置 Layer 项的时候，要把 Layer25 加上，在 Layer25 层中选择 Pads 和 Viasc。在设备设置窗口 (按 Device Setup)，将 Aperture 的值改为 199
- d. 在设置每层的 Layer 时，将 Board Outline 选上
- e. 设置丝印层的 Layer 时，不要选择 Part Type，选择顶层 (底层) 和丝印层的 Outline、Text、Line
- f. 设置阻焊层的 Layer 时，选择过孔表示过孔上不加阻焊，不选过孔表示家阻焊，视具体情况确定
- g. 生成钻孔文件时，使用 PowerPCB 的缺省设置，不要作任何改动。
- h. 所有光绘文件输出以后，用 CAM350 打开并打印，由设计者和复查者根据“PCB 检查表”检查。

\*\*\*\*\*

## 过孔

过孔 (via) 是多层 PCB 的重要组成部分之一，钻孔的费用通常占 PCB 制板费用的 30%到 40%。简单的说来，PCB 上的每一个孔都可以称之为过孔。从作用上看，过孔可以分成两类：一是用作各层间的电气连接；二是用作器件的固定或定位。如果从工艺制程上来说，这些过孔一般又分为三类，即盲孔 (blind via)、埋孔 (buried via) 和通孔 (through via)。盲孔位于印刷线路板的顶层和底层表面，具有一定深度，用于表层线路和下面的内层线路的连接，孔的深度通常不超过一定的比率 (孔径)。埋孔是指位于印刷线路板内层的连接孔，它不会延伸到线路板的表面。上述两类孔都位于线路板的内层，层压前利用通孔成型工艺完成，在过孔形成过程中可能还会重叠做好几个

内层。第三种称为通孔，这种孔穿过整个线路板，可用于实现内部互连或作为元件的安装定位孔。由于通孔在工艺上更易于实现，成本较低，所以绝大部分印刷电路板均使用它，而不用另外两种过孔。以下所说的过孔，没有特殊说明的，均作为通孔考虑。

从设计的角度来看，一个过孔主要由两个部分组成，一是中间的钻孔（drill hole），二是钻孔周围的焊盘区，见下图。这两部分的尺寸大小决定了过孔的大小。很显然，在高速、高密度的 PCB 设计时，设计者总是希望过孔越小越好，这样板上可以留有更多的布线空间，此外，过孔越小，其自身的寄生电容也越小，更适合用于高速电路。但孔尺寸的减小同时带来了成本的增加，而且过孔的尺寸不可能无限制的减小，它受到钻孔（drill）和电镀（plating）等工艺技术的限制：孔越小，钻孔需花费的时间越长，也越容易偏离中心位置；且当孔的深度超过钻孔直径的 6 倍时，就无法保证孔壁能均匀镀铜。比如，现在正常的一块 6 层 PCB 板的厚度（通孔深度）为 50Mil 左右，所以 PCB 厂家能提供的钻孔直径最小只能达到 8Mil。

## 二、过孔的寄生电容

过孔本身存在着对地的寄生电容，如果已知过孔在铺地层上的隔离孔直径为  $D_2$ ，过孔焊盘的直径为  $D_1$ ，PCB 板的厚度为  $T$ ，板基材介电常数为  $\epsilon$ ，则过孔的寄生电容大小近似于：

$$C=1.41\epsilon TD_1/(D_2-D_1)$$

过孔的寄生电容会给电路造成的主要影响是延长了信号的上升时间，降低了电路的速度。举例来说，对于一块厚度为 50Mil 的 PCB 板，如果使用内径为 10Mil，焊盘直径为 20Mil 的过孔，焊盘与地铺铜区的距离为 32Mil，则我们可以通过上面的公式近似算出过孔的寄生电容大致是： $C=1.41 \times 4.4 \times 0.050 \times 0.020 / (0.032 - 0.020) = 0.517 \text{pF}$ ，这部分电容引起的上升时间变化量为： $T_{10-90} = 2.2C(Z_0/2) = 2.2 \times 0.517 \times (55/2) = 31.28 \text{ps}$ 。从这些数值可以看出，尽管单个过孔的寄生电容引起的上升延变缓的效用不是很明显，但是如果走线中多次使用过孔进行层间的切换，设计者还是要慎重考虑的。

## 三、过孔的寄生电感

同样，过孔存在寄生电容的同时也存在着寄生电感，在高速数字电路的设计中，过孔的寄生电感带来的危害往往大于寄生电容的影响。它的寄生串联电感会削弱旁路电容的贡献，减弱整个电源系统的滤波效用。我们可以用下面的公式来简单地计算一个过孔近似的寄生电感：

$L=5.08h[\ln(4h/d)+1]$  其中  $L$  指过孔的电感， $h$  是过孔的长度， $d$  是中心钻孔的直径。从式中可以看出，过孔的直径对电感的影响较小，而对电感影响最大的是过孔的长度。仍然采用上面的例子，可以计算出过孔的电感为： $L=5.08 \times 0.050 [\ln(4 \times 0.050 / 0.010) + 1] = 1.015 \text{nH}$ 。如果信号的上升时间是  $1 \text{ns}$ ，那么其等效阻抗大小为： $X_L = \pi L / T_{10-90} = 3.19 \Omega$ 。这样的阻抗在有高频电流的通过已经不能够被忽略，特别要注意，旁路电容在连接电源层和地层的时候需要通过两个过孔，这样过孔的寄生电感就会成倍增加。

## 四、高速 PCB 中的过孔设计

通过上面对过孔寄生特性的分析，我们可以看到，在高速 PCB 设计中，看似简单的过孔往往也会给电路的设计带来很大的负面效应。为了减小过孔的寄生效应带来的不利影响，在设计中可以尽量做到：

1、从成本和信号质量两方面考虑，选择合理尺寸的过孔大小。比如对 6-10 层的内存模块 PCB 设计来说，选用 10/20Mil（钻孔/焊盘）的过孔较好，对于一些高密度的小尺寸的板子，也可以尝试使用 8/18Mil 的过孔。目前技术条件下，很难使用更小尺寸的过孔了。对于电源或地线的过孔则可以考虑使用较大尺寸，以减小阻抗。

2、上面讨论的两个公式可以得出，使用较薄的 PCB 板有利于减小过孔的两种寄生参数。

3、PCB 板上的信号走线尽量不换层，也就是说尽量不要使用不必要的过孔。

4、电源和地的管脚要就近打过孔，过孔和管脚之间的引线越短越好，因为它们会导致电感的增加。同时电源和地的引线要尽可能粗，以减少阻抗。

5、在信号换层的过孔附近放置一些接地的过孔，以便为信号提供最近的回路。甚至可以在 PCB 板上大量放置一些多余的接地过孔。当然，在设计时还需要灵活多变。前面讨论的过孔模型是每层均有焊盘的情况，也有的时候，我们可以将某些层的焊盘减小甚至去掉。特别是在过孔密度非常大的情况下，可能会导致在铺铜层形成一个隔断回路的断槽，解决这样的问题除了移动过孔的位置，我们还可以考虑将过孔在该铺铜层的焊盘尺寸减小。